

PCT

世界知的所有権機関
国際事務局

特許協力条約に基づいて公開された国際出願



(51) 国際特許分類7

G04C 10/00, G04G 1/00, H02M 3/07

A1

(11) 国際公開番号

WO00/41041

(43) 国際公開日

2000年7月13日(13.07.00)

(21) 国際出願番号

PCT/JP99/07002

(22) 国際出願日

1999年12月14日(14.12.99)

(30) 優先権データ

特願平11/1427

1999年1月6日(06.01.99)

JP

(71) 出願人 (米国を除くすべての指定国について)

セイコーエプソン株式会社

(SEIKO EPSON CORPORATION)[JP/JP]

〒163-0811 東京都新宿区西新宿二丁目4番1号 Tokyo, (JP)

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ)

矢部 宏(YABE, Hiroshi)[JP/JP]

桶谷 誠(OKEYA, Makoto)[JP/JP]

〒392-8502 長野県諏訪市大和三丁目3番5号

セイコーエプソン株式会社内 Nagano, (JP)

(74) 代理人

川崎研二(KAWASAKI, Kenji)

〒103-0027 東京都中央区日本橋三丁目2番16号

八重洲マサビル5階 朝日特許事務所 Tokyo, (JP)

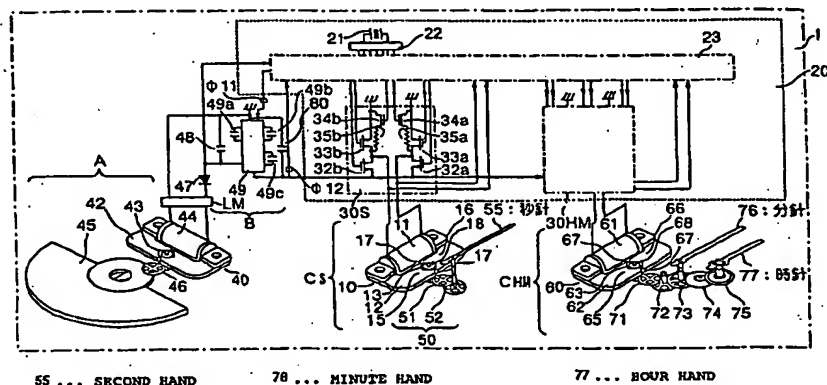
(81) 指定国 CN, JP, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)

添付公開書類

国際調査報告書

(54) Title: ELECTRONIC APPARATUS AND METHOD OF CONTROLLING ELECTRONIC APPARATUS

(54) 発明の名称 電子機器及び電子機器の制御方法



(57) Abstract

In making a change from a first state in which an electric charge is being transferred from a secondary power source of large capacity to an auxiliary capacitor through a voltage step-up/down circuit with a step-up/down ratio M' (which is a positive real number other than 1) to a second state in which the secondary power source of large capacity and the auxiliary capacitor are directly electrically connected to each other, the electric energy is transferred from the secondary power source of large capacity to the auxiliary capacitor through the step-up/down circuit in a non-step-up/down state with a step-up/down ratio $M = 1$, so that the potential difference between the secondary power source of large capacity and the auxiliary capacitor is less than a predetermined potential difference. Therefore, there is no possibility of incurring a sharp power source voltage variation due to a change in step-up ratio, so that malfunction of the electronic apparatus that accompanies a sharp voltage variation of the voltage source can be prevented.

(57)要約

大容量 2 次電源から昇降圧回路を介して昇降圧倍率 M' (M' は 1 以外の正の実数) で補助コンデンサへの電荷の転送を行っている状態から大容量 2 次電源と補助コンデンサとを電氣的に直結する状態に移行させるに際し、大容量 2 次電源から前記昇降圧回路を介して昇降圧倍率 $M = 1$ の非昇降圧状態で補助コンデンサへの前記電気エネルギーの転送を行わせ、大容量 2 次電源と補助コンデンサの電位差を所定電位差未満とするので、昇圧倍率の変更による急激な電源電圧変動を招くことがないので、電源電圧の急激な電圧変動に伴う電子機器の誤動作を防止することができる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AG	アンティグア・バーブーダ	DZ	アルジェリア	LC	セントルシア	SD	スーダン
AL	アルバニア	EE	エストニア	LI	リヒテンシュタイン	SE	スウェーデン
AM	アルメニア	ES	スペイン	LK	スリ・ランカ	SG	シンガポール
AT	オーストリア	FI	フィンランド	LR	リベリア	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LS	レソト	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LT	リトアニア	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LU	ルクセンブルグ	SN	セネガル
BB	バルバドス	GD	グレナダ	LV	ラトヴィア	SZ	スワジランド
BE	ベルギー	GE	グルジア	MA	モロッコ	TD	チャード
BG	ブルガリア	GH	ガーナ	MC	モナコ	TG	トーゴ
BH	バーレーン	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BJ	ベナン	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BR	ブラジル	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BY	ベラルーシ	GW	ギニア・ビサウ		共和国	TT	トリニダッド・トバゴ
CA	カナダ	HR	クロアチア	ML	マリ	TZ	タンザニア
CF	中央アフリカ	HU	ハンガリー	MN	モンゴル	UA	ウクライナ
CG	コンゴ	ID	インドネシア	MR	モーリタニア	UG	ウガンダ
CH	スイス	IE	アイルランド	MW	マラウイ	US	米国
CI	コートジボワール	IL	イスラエル	MX	メキシコ	UZ	ウズベキスタン
CM	カメルーン	IN	インド	MZ	モザンビーク	VN	ヴェトナム
CN	中国	IS	アイスランド	NE	ニジェール	YU	ユーゴスラヴィア
CC	コスタ・リカ	IT	イタリア	NL	オランダ	ZA	南アフリカ共和国
CU	キューバ	JP	日本	NO	ノルウェー	ZW	ジンバブエ
CY	キプロス	KE	ケニア	NZ	ニュージーランド		
CZ	チェッコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

明 細 書

電子機器及び電子機器の制御方法

5 技術分野

本発明は、電子機器及び電子機器の制御方法に係り、特に発電機構を内蔵する携帯型電子制御時計の電源制御技術に関する。

背景技術

- 10 近年、腕時計タイプなどの小型の電子時計に太陽電池などの発電装置を内蔵し、電池交換なしに動作するものが実現されている。これらの電子時計においては、発電装置で発生した電力をいったん大容量コンデンサなどに充電する機能を備えており、発電が行われな
- 15 ときはコンデンサから放電される電力で時刻表示が行われるようになっている。このため、電池なしでも長時間安定した動作が可能であり、電池の交換の手間あるいは電池の廃棄上の問題などを考慮すると、今後、多くの電子時計に発電装置が内蔵されるものと期待されている。

- このような発電装置を内蔵した電子時計においては、電子時計の駆動回路に安定して電源を供給すべく、発電装置で発電した電気エネルギーを大容量の電源装置（例えば、2次電池）に蓄え、この2次電源装置の電圧を昇降圧するための昇降圧コンデン
- 20 サを有する昇降圧回路を介して小容量の電源装置（例えば、コンデンサ）に蓄えて駆動回路に供給するように構成することが考えられる。

- このように昇降圧コンデンサを介して昇降圧を行っている昇降圧状態から、昇降圧なしに電氣的に大容量電源装置と小容量電源装置とを直結した直結状態に移行する際には、大容量電源装置と小容量電源装置との相対的な電圧関係に応じて、大容量電源装置側から小容量電源装置側へあるいは小容量電源装置側から大容量電源装置側
- 25 へと急激に電荷（電気エネルギー）が移動する可能性がある。

このような場合には、小容量電源装置の駆動回路への供給電圧に急激な変動が生じ、駆動回路や制御回路が誤動作する恐れがあるという問題点があった。

そこで、本発明の目的は、昇降圧状態から直結状態に移行する際にも駆動回路や制

御回路などが誤動作を防止することが可能な電子機器および電子機器の制御方法を提供することにある。

発明の開示

- 5 本発明の第 1 の態様は、第 1 のエネルギーを第 2 のエネルギーである電気エネルギーに変換することにより発電を行う発電ユニットと、前記発電により得られた電気エネルギーを蓄える第 1 電源ユニットと、前記第 1 電源ユニットから供給される電気エネルギーの電圧を電圧変換倍率 M (M は正の実数) で変換する電源電圧変換ユニットと、前記電源電圧変換ユニットを介して前記第 1 電源ユニットに蓄えられた電気エネルギーが転送され、転送された電気エネルギーを蓄える第 2 電源ユニットと、前記第 1 電源ユニットまたは前記第 2 電源ユニットから供給される電気エネルギーにより駆動される被駆動ユニットと、前記第 1 電源ユニットから前記電源電圧変換ユニットを介して電圧変換倍率 M' (M' は 1 以外の正の実数) で前記第 2 電源ユニットへの前記電気エネルギーの転送を行っている状態から前記第 1 電源ユニットと前記第 2 電源ユニットとを電氣的に直結する状態に移行させるに際し、前記第 1 電源ユニットから前記電源電圧変換ユニットを介して電圧変換倍率 $M = 1$ の非電圧変換状態で前記第 2 電源ユニットへの前記電気エネルギーの転送を行わせ、前記第 1 電源ユニットと前記第 2 電源ユニットの電位差を所定電位差未満とする非電圧変換転送制御ユニットと、を備えたことを特徴としている。
- 10 本発明の第 2 の態様は、第 1 の態様において、さらに前記第 2 電源ユニットへの前記電気エネルギーの転送は、前記電源電圧変換ユニットに前記第 1 電源ユニットからの電気エネルギーを蓄える蓄電サイクルと、前記電源電圧変換ユニットに蓄えた前記電気エネルギーを前記第 2 電源ユニットに転送する転送サイクルと、により実現され、前記非電圧変換転送制御ユニットは、前記蓄電サイクルと前記転送サイクルとを繰り返すに際し、前記転送サイクルの単位時間当たりの回数である転送回数を要求される電気エネルギー転送能力に基づいて変化させる転送回数制御ユニットを備えたことを特徴としている。
- 15 本発明の第 3 の態様は、第 2 の態様において、さらに前記転送回数制御ユニットは、前記被駆動ユニットの消費電力に基づいて前記転送回数を定めることを特徴として

いる。

本発明の第4の態様は、第3の態様において、さらに前記被駆動ユニットの消費電力を検出する消費電力検出ユニットを備えたことを特徴としている。

5 本発明の第5の態様は、第2の態様において、さらに前記転送回数制御ユニットは、複数の被駆動ユニットに対応する前記転送回数を予め記憶する転送回数記憶ユニットと、前記複数の被駆動ユニットのうち実際に駆動しようとする被駆動ユニットに対応させて前記転送回数記憶ユニットから読み出すべき前記転送回数を判別する転送回数判別ユニットと、を備えてたことを特徴としている。

10 本発明の第6の態様は、第2の態様において、前記電源電圧変換ユニットは、電圧変換を行うための昇降圧用コンデンサを有し、前記転送回数制御ユニットは、前記昇降圧用コンデンサの容量に基づいて前記転送回数を定めることを特徴としている。

15 本発明の第7の態様は、第2の態様において、前記転送回数制御ユニットは、1回の前記転送サイクルにおいて、転送可能な電気エネルギー量を Q_0 とし、前記単位時間当たりの転送回数を N とし、前記被駆動ユニットの前記単位時間当たりの消費電力を Q_{DRV} とした場合に、次式を満たすように前記単位時間当たりの転送回数 N を定めることを特徴としている。

$$Q_{DRV} \leq Q_0 \times N$$

20 本発明の第8の態様は、第1の態様において、さらに前記非電圧変換転送制御ユニットは、前記非電圧変換状態で前記第2電源ユニットへの前記電気エネルギーの転送を行わせている状態においては、前記転送で供給可能な電気エネルギーに相当する電力を越える電力を消費する前記被駆動ユニットの駆動を禁止する転送時高負荷駆動禁止ユニットを備えたことを特徴としている。

本発明の第9の態様は、第1の態様において、さらに前記被駆動ユニットは、時刻表示を行う計時ユニットを備えたことを特徴としている。

25 本発明の第10の態様は、第1のエネルギーを第2のエネルギーである電気エネルギーに変換することにより発電を行う発電装置と、前記発電により得られた電気エネルギーを蓄える第1電源装置と、前記第1電源装置から供給される電気エネルギーの電圧を電圧変換倍率 M (M は正の実数)で電圧変換する電源電圧変換装置と、前記電源電圧変換装置を介して前記第1電源装置に蓄えられた電気エネルギーが転送され、

転送された電気エネルギーを蓄える第2電源装置と、前記第1電源装置または前記第2電源装置から供給される電気エネルギーにより駆動される被駆動装置と、を備えた電子機器の制御方法において、前記第1電源装置から前記電源電圧変換装置を介して電圧変換倍率 M' (M' は1以外の正の実数) で前記第2電源装置への前記電気エネルギーの転送を行っている状態から前記第1電源装置と前記第2電源装置とを電氣的に直結する状態に移行させるに際し、前記第1電源装置から前記電源電圧変換装置を介して電圧変換倍率 $M=1$ の非電圧変換状態で前記第2電源装置への前記電気エネルギーの転送を行わせ、前記第1電源装置と前記第2電源装置の電位差を所定電位差未満とする非電圧変換転送制御工程を備えたことを特徴としている。

10 本発明の第11の態様は、第10の態様において、さらに前記第2電源装置への前記電気エネルギーの転送は、前記電源電圧変換装置に前記前記第1電源装置からの電気エネルギーを蓄える蓄電サイクルと、前記電源電圧変換装置に蓄えた前記電気エネルギーを前記第2電源装置に転送する転送サイクルと、により実現され、前記非電圧変換転送制御工程は、前記蓄電サイクルと前記転送サイクルとを繰り返すに際し、前記転送サイクルの単位時間当たりの回数である転送回数を要求される電気エネルギー転送能力に基づいて変化させる転送回数制御工程を備えたことを特徴としている。

15 本発明の第12の態様は、第11の態様において、さらに前記転送回数制御工程は、前記被駆動装置の消費電力に基づいて前記転送回数を定めることを特徴としている。

20 本発明の第13の態様は、第12の態様において、さらに前記被駆動装置の消費電力を検出する消費電力検出工程を備えたことを特徴としている。

本発明の第14の態様は、第11の態様において、さらに前記転送回数制御工程は、予め記憶した複数の被駆動装置に対応する前記転送回数のうち実際に駆動しようとする被駆動装置に対応させて前記転送回数を判別する転送回数判別工程を備えたことを特徴としている。

25 本発明の第15の態様は、第11の態様において、さらに前記電源電圧変換装置は、電圧変換を行うための昇降圧用コンデンサを有し、前記転送回数制御工程は、前記昇降圧用コンデンサの容量に基づいて前記転送回数を定めることを特徴としている。

本発明の第16の態様は、第11の態様において、さらに前記転送回数制御工程は、1回の前記転送サイクルにおいて、転送可能な電気エネルギー量を Q_0 とし、前記単

位時間当たりの転送回数をNとし、前記被駆動装置の前記単位時間当たりの消費電力をQDRVとした場合に、次式を満たすように前記単位時間当たりの転送回数Nを定めることを特徴としている。

$$Q_{DRV} \leq Q_0 \times N$$

- 5 本発明の第17の態様は、第10の態様において、さらに前記非電圧変換転送制御工程は、前記非電圧変換状態で前記第2電源装置への前記電気エネルギーの転送を行わせている状態においては、前記転送で供給可能な電気エネルギーに相当する電力を越える電力を消費する前記被駆動装置の駆動を禁止する転送時高負荷駆動禁止工程を備えたことを特徴としている。

10

図面の簡単な説明

図1は、本発明の第1実施形態に係る計時装置の概略構成を示す図である。

図2は、昇降圧回路の概要構成図である。

図3は、昇降圧回路の動作説明図である。

- 15 図4は、3倍昇圧時の等価回路である。

図5は、2倍昇圧時の等価回路である。

図6は、1.5倍昇圧時の等価回路である。

図7は、1倍昇圧時（ショートモード時）の回路構成および等価回路である。

図8は、1/2降圧時の等価回路である。

- 20 図9は、1倍昇圧時（電荷転送モード時）の等価回路である。

図10は、第1実施形態に係る制御部とその周辺構成の概要構成ブロック図である。

図11は、第1実施形態に係る制御部とその周辺構成の要部詳細構成ブロック図である。

図12は、発電状態検出部の詳細構成ブロック図である。

- 25 図13は、リミッタオン電圧検出回路およびブレ電圧検出回路の詳細構成ブロック図である。

図14は、リミッタ回路の詳細構成図である。

図15は、リミッタ・昇降圧倍率制御回路の詳細構成ブロック図である。

図16は、昇降圧倍率制御用クロック生成回路の詳細構成ブロック図である。

図 1 7 は、昇降圧制御回路の詳細構成ブロック図である。

図 1 8 は、リミッタ・昇降圧倍率制御回路の動作説明図である。

図 1 9 は、パラレル信号及びシリアル信号の波形説明図である。

図 2 0 は、基準クロック信号出力回路の詳細構成ブロック図である。

5 図 2 1 は、基準クロック信号出力回路の動作説明図である。

図 2 2 は、第 1 実施形態の動作を説明する図である。

図 2 3 は、第 2 実施形態の基準クロック信号出力回路の概要構成ブロック図である。

図 2 4 は、第 2 実施形態の基準クロック信号出力回路の動作説明図である。

図 2 5 は、第 3 実施形態のパルス合成回路の概要構成ブロック図である。

10 図 2 6 は、第 4 実施形態の要部概要構成ブロック図である。

発明を実施するための最良の形態

次に図面を参照して本発明の好適な実施形態を説明する。

[1] 第 1 実施形態

15 [1. 1] 概要構成

図 1 に、本発明の第 1 実施形態に係る計時装置 1 の概略構成を示す。

計時装置 1 は、腕時計であって、使用者は装置本体に連結されたベルトを手首に巻き付けて使用するようになっている。

本実施形態の計時装置 1 は、大別すると、交流電力を発電する発電部 A と、発電部 A からの交流電圧を整流するとともに昇圧した電圧を蓄電し、各構成部分へ電力を給電する電源部 B と、発電部 A の発電状態を検出する発電状態検出部 9 1 (図 1 0 参照) を備えその検出結果に基づいて装置全体を制御する制御部 2 3 と、秒針 5 3 をステップモータ 1 0 を用いて駆動する秒針運針機構 CS と、分針及び時針をステップモータを用いて駆動する時分針運針機構 CHM と、制御部 2 3 からの制御信号に基づいて秒針運針機構 CS を駆動する秒針駆動部 3 0 S と、制御部 2 3 からの制御信号に基づいて時分針運針機構 CHM を駆動する時分針駆動部 3 0 HM と、計時装置 1 の動作モードを時刻表示モードからカレンダー修正モード、時刻修正モードあるいは強制的に後述する節電モードに移行させるための指示操作を行う外部入力装置 1 0 0 (図 1 0 参照) とを備えて構成されている。

ここで、制御部 23 は、発電部 A の発電状態に応じて、運指機構 CS、CHM を駆動して時刻表示を行う表示モード（通常動作モード）と、秒針運針機構 CS 及び時分針運針機構 CHM への給電を停止して電力を節電を行う節電モードとを切り換えるようになっている。また、節電モードから表示モードへの移行は、ユーザが計時装置 1 を手に持ってこれを振ることによって、発電を強制的に行うことにより、所定の発電電圧が検出されたことにより強制的に移行されるようになっている。

[1. 2] 詳細構成

以下、計時装置 1 の各構成部分について説明する。なお、制御部 23 については後述する。

10 [1. 2. 1] 発電部

まず発電部 A について説明する。

発電部 A は、発電装置 40、回転錘 45 および増速用ギア 46 を備えて構成されている。

15 発電装置 40 としては、発電用ロータ 43 が発電用ステータ 42 の内部で回転し発電用ステータ 42 に接続された発電コイル 44 に誘起された電力を外部に出力できる電磁誘導型の交流発電装置が採用されている。

また、回転錘 45 は、発電用ロータ 43 に運動エネルギーを伝達する手段として機能する。そして、この回転錘 45 の動きが増速用ギア 46 を介して発電用ロータ 43 に伝達されるようになっている。

20 この回転錘 45 は、腕時計型の計時装置 1 では、ユーザの腕の動きなどを捉えて装置内で旋回できるようになっている。したがって、使用者の生活に関連したエネルギーを利用して発電を行い、その電力を用いて計時装置 1 を駆動できるようになっている。

[1. 2. 2] 電源部

25 次に、電源部 B について説明する。

電源部 B は、過大電圧が後段の回路に印加されるのを防止するためのリミッタ回路 LM と、整流回路として作用するダイオード 47 と、大容量 2 次電源 48 と、昇降圧回路 49 と、補助コンデンサ 80 と、を備えて構成されている。

昇降圧回路 49 は、複数のコンデンサ 49a および 49b を用いて多段階の昇圧お

よび降圧ができるようになっている。昇降圧回路49の詳細については後述する。

そして、昇降圧回路49により昇降圧された電源は、補助コンデンサ80に蓄えられる。

5 この場合において、昇降圧回路49は、制御部23からの制御信号φ11によって補助コンデンサ80に供給する電圧、ひいては、秒針駆動部30S及び時分針駆動部30HMに供給する電圧を調整することができる。

ここで、電源部Bは、Vdd（高電圧側）を基準電位（GND）に取り、Vss（低電圧側）を電源電圧として生成している。

ここで、リミッタ回路LMについて説明する。

10 リミッタ回路LMは、等価的には発電部Aを短絡させるためのスイッチとして機能しており、発電部Aの発電電圧VGENが予め定めた所定のリミット基準電圧VLMを越えた場合に、オン（閉）状態となる。

この結果、発電部Aは、大容量2次電源48から電氣的に切り離されることとなる。

あるいは、リミッタ回路LMは、大容量2次電源48あるいは補助コンデンサ80
15 の電圧が予め定めた所定の電圧を超えた場合に、発電部Aを大容量2次電源48との間の結線をスイッチで切断する構成を採る。

これにより、いずれの場合においても、過大な発電電圧VGENが大容量2次電源48に印加されることがなくなり、大容量2次電源の耐圧を越えた発電電圧VGENが印加されることによる大容量2次電源48の破損、ひいては、計時装置1の破損を防止
20 することが可能となっている。

次に昇降圧回路49について図2ないし図9を参照して説明する。

昇降圧回路49は、図2に示すように、大容量2次電源48の高電位側端子に一方の端子が接続されたスイッチSW1と、スイッチSW1の他方の端子に一方の端子が接続され、他方の端子が大容量2次電源48の低電位側端子に接続されたスイッチSW2と、スイッチSW1とスイッチSW2との接続点に一方の端子が接続されたコン
25 デンサ49aと、コンデンサ49aの他方の端子に一方の端子が接続され、他方の端子が大容量2次電源48の低電位側端子に接続されたスイッチSW3と、一方の端子が補助コンデンサ80の低電位側端子に接続され、他方の端子がコンデンサ49aとスイッチSW3との接続点に接続されたスイッチSW4と、大容量2次電源48の高

電位側端子と補助コンデンサ 80 の高電位側端子との接続点に一方の端子が接続されたスイッチ SW 1 1 と、スイッチ SW 1 1 の他方の端子に一方の端子が接続され、他方の端子が高容量 2 次電源 4 8 の低電位側端子に接続されたスイッチ SW 1 2 と、スイッチ SW 1 1 とスイッチ SW 1 2 との接続点に一方の端子が接続されたコンデンサ 4 9 b と、コンデンサ 4 9 b の他方の端子に一方の端子が接続され、スイッチ SW 1 2 と高容量 2 次電源 4 8 の低電位側端子との接続点に他方の端子が接続されたスイッチ SW 1 3 と、一方の端子がコンデンサ 4 9 b とスイッチ SW 1 3 との接続点に接続され、他方の端子が補助コンデンサの低電位側端子に接続されたスイッチ SW 1 4 と、スイッチ SW 1 1 とスイッチ SW 1 2 との接続点に一方の端子が接続され、コンデンサ 4 9 a とスイッチ SW 3 との接続点に他方の端子が接続されたスイッチ SW 2 1 と、を備えて構成されている。

[1. 2. 2. 1] 昇降圧回路の動作

ここで、昇降圧回路の動作の概要を図 3 ないし図 9 を参照して、3 倍昇圧時、2 倍昇圧時、1. 5 倍昇圧時、1 倍昇圧時（ショートモード）、1/2 降圧時および 1 倍昇圧時（電荷転送モード）を例として説明する。

[1. 2. 2. 1. 1] 3 倍昇圧時

昇降圧回路 4 9 は、クロック生成回路 1 0 4（図 1 1 参照）からのクロック信号 C K からリミッタ・昇降圧制御回路 1 0 5（図 1 1 参照）が生成した昇降圧クロック C KUD に基づいて動作しており、3 倍昇圧時には、図 3（a）に示すように、第 1 の昇降圧クロックタイミング（パラレル接続タイミング）においては、スイッチ SW 1 をオン、スイッチ SW 2 をオフ、スイッチ SW 3 をオン、スイッチ SW 4 をオフ、スイッチ SW 1 1 をオン、スイッチ SW 1 2 をオフ、スイッチ SW 1 3 をオン、スイッチ SW 1 4 をオフ、スイッチ SW 2 1 をオフとする。

この場合における昇降圧回路 4 9 の等価回路は、図 4（a）に示すようなものとなり、コンデンサ 4 9 a およびコンデンサ 4 9 b に大容量 2 次電源 4 8 から電源が供給され、コンデンサ 4 9 a およびコンデンサ 4 9 b の電圧が大容量 2 次電源 4 8 の電圧とほぼ等しくなるまで充電がなされる。

次に第 2 の昇降圧クロックタイミング（シリアル接続タイミング）においては、スイッチ SW 1 をオフ、スイッチ SW 2 をオン、スイッチ SW 3 をオフ、スイッチ SW

4をオフ、スイッチSW11をオフ、スイッチSW12をオフ、スイッチSW13をオフ、スイッチSW14をオン、スイッチSW2.1をオンとする。

この場合における昇降圧回路49の等価回路は、図4(b)に示すようなものとなり、大容量2次電源48、コンデンサ49aおよびコンデンサ49bはシリアルに接続されて、大容量2次電源48の電圧の3倍の電圧で補助コンデンサ80が充電され、3倍昇圧が実現されることとなる。

[2. 2. 1. 2] 2倍昇圧時

昇降圧回路49は、クロック生成回路104(図11参照)からのクロック信号CKからリミッタ・昇降圧制御回路105(図11参照)が生成した昇降圧クロックCKUDに基づいて動作しており、2倍昇圧時には、図3(a)に示すように、第1の昇降圧クロックタイミング(パラレル接続タイミング)においては、スイッチSW1をオン、スイッチSW2をオフ、スイッチSW3をオン、スイッチSW4をオフ、スイッチSW11をオン、スイッチSW12をオフ、スイッチSW13をオン、スイッチSW14をオフ、スイッチSW2.1をオフとする。

この場合における昇降圧回路49の等価回路は、図5(a)に示すようなものとなり、コンデンサ49aおよびコンデンサ49bに大容量2次電源48から電源が供給され、コンデンサ49aおよびコンデンサ49bの電圧が大容量2次電源48の電圧とほぼ等しくなるまで充電がなされる。

次に第2の昇降圧クロックタイミング(シリアル接続タイミング)においては、スイッチSW1をオフ、スイッチSW2をオン、スイッチSW3をオフ、スイッチSW4をオン、スイッチSW11をオフ、スイッチSW12をオン、スイッチSW13をオフ、スイッチSW14をオン、スイッチSW2.1をオフとする。

この場合における昇降圧回路49の等価回路は、図5(b)に示すようなものとなり、並列に接続されたコンデンサ49aおよびコンデンサ49bに対し、大容量2次電源49がシリアルに接続されて、大容量2次電源48の電圧の2倍の電圧で補助コンデンサ80が充電され、2倍昇圧が実現されることとなる。

[1. 2. 2. 1. 3] 1.5倍昇圧時

昇降圧回路49は、クロック生成回路104(図11参照)からのクロック信号CKからリミッタ・昇降圧制御回路105(図11参照)が生成した昇降圧クロックC

KUDに基づいて動作しており、1.5倍昇圧時には、図3(a)に示すように、第1の昇降圧クロックタイミング(パラレル接続タイミング)においては、スイッチSW1をオン、スイッチSW2をオフ、スイッチSW3をオフ、スイッチSW4をオフ、スイッチSW11をオフ、スイッチSW12をオフ、スイッチSW13をオン、スイッチSW14をオフ、スイッチSW21をオンとする。

この場合における昇降圧回路49の等価回路は、図6(a)に示すようなものとなり、コンデンサ49aおよびコンデンサ49bに大容量2次電源48から電源が供給され、コンデンサ49aおよびコンデンサ49bの電圧が大容量2次電源48の電圧の1/2の電圧とほぼ等しくなるまで充電がなされる。

次に第2の昇降圧クロックタイミング(シリアル接続タイミング)においては、スイッチSW1をオフ、スイッチSW2をオン、スイッチSW3をオフ、スイッチSW4をオン、スイッチSW11をオフ、スイッチSW12をオン、スイッチSW13をオフ、スイッチSW14をオン、スイッチSW21をオフとする。

この場合における昇降圧回路49の等価回路は、図6(b)に示すようなものとなり、並列に接続されたコンデンサ49aおよびコンデンサ49bに対し、大容量2次電源49がシリアルに接続されて、大容量2次電源48の電圧の1.5倍の電圧で補助コンデンサ80が充電され、1.5倍昇圧が実現されることとなる。

[1.2.2.1.4] 1倍昇圧時(非昇降圧時;ショートモード)

昇降圧回路49は、1倍昇圧時には、図3(a)に示すように、常に、スイッチSW1をオフ、スイッチSW2をオン、スイッチSW3をオン、スイッチSW4をオン、スイッチSW11をオフ、スイッチSW12をオン、スイッチSW13をオン、スイッチSW14をオン、スイッチSW21をオフとする。

この場合における昇降圧回路49の接続状態は、図7(a)に示すようなものとなり、その等価回路は図7(b)に示すようなものとなって、大容量2次電源48が補助コンデンサ80に直結された状態となる。

[2.2.1.5] 1/2倍降圧時

昇降圧回路49は、クロック生成回路104(図11参照)からのクロック信号CKからリミッタ・昇降圧制御回路105(図11参照)が生成した昇降圧クロックCKUDに基づいて動作しており、1/2倍降圧時には、図3に示すように、第1の昇降

圧クロックタイミング（パラレル接続タイミング）においては、スイッチSW1をオン、スイッチSW2をオフ、スイッチSW3をオフ、スイッチSW4をオフ、スイッチSW11をオフ、スイッチSW12をオフ、スイッチSW13をオン、スイッチSW14をオフ、スイッチSW21をオンとする。

- 5 この場合における昇降圧回路49の等価回路は、図8（a）に示すようなものとなり、コンデンサ49aおよびコンデンサ49bは直列に接続された状態で、大容量2次電源48から電源が供給され、コンデンサ49aおよびコンデンサ49bの電圧が大容量2次電源48の電圧の $1/2$ の電圧とほぼ等しくなるまで充電がなされる。

- 10 次に第2の昇降圧クロックタイミング（シリアル接続タイミング）においては、スイッチSW1をオン、スイッチSW2をオフ、スイッチSW3をオフ、スイッチSW4をオン、スイッチSW11をオン、スイッチSW12をオフ、スイッチSW13をオフ、スイッチSW14をオン、スイッチSW21をオフとする。

- 15 この場合における昇降圧回路49の等価回路は、図8（b）に示すようなものとなり、コンデンサ49aおよびコンデンサ49bがパラレルに接続されて、大容量2次電源48の電圧の $1/2$ 倍の電圧で補助コンデンサ80が充電され、 $1/2$ 倍降圧が実現されることとなる。

[1. 2. 2. 1. 6] 1倍昇圧時（非昇降圧時；電荷転送モード）

次に本発明の特徴である電荷転送モードについて説明する。

- 20 電荷転送モードとは、中央制御回路93（図10参照；非昇降圧転送制御手段に相当）が大容量2次電源48（第1電源手段に相当）から昇降圧回路49（電源昇降圧手段に相当）を介して昇降圧倍率 M' （ M' は1以外の正の実数；上記例においては、 $M' = 3, 2, 1.5, 1/2$ ）で補助コンデンサ80（第2電源手段に相当）への電荷（＝電気エネルギー）の転送を行っている状態から大容量2次電源48と補助コンデンサ80を電氣的に直結する状態、すなわち、上述の1倍昇圧時（非昇降圧時；
25 ショートモード）に移行させるに際し、大容量2次電源48から昇降圧回路49を介して昇降圧倍率 $M = 1$ の非昇降圧状態で補助コンデンサ80に電荷転送を行わせるモードである。

この電荷転送モードを設ける理由は、発電装置で発電した電気エネルギーを大容量2次電源48に蓄え、この大容量2次電源48の電圧を昇降圧するための昇降圧コン

デンサ 49 a、49 b を有する昇降圧回路 18 を介して補助コンデンサ 80 蓄えて供給しているため、昇降圧コンデンサ 49 a、49 b を介して昇降圧を行っている昇降圧状態から、昇降圧なしに電氣的に大容量電源装置と小容量電源装置とを直結した直結状態（上述のショートモード）に移行する際には、大容量 2 次電源 48 と補助コン

5 デンサ 80 との相対的な電圧関係に応じて、大容量 2 次電源側から補助コンデンサ 80 へあるいは補助コンデンサ 80 側から大容量 2 次電源側へと急激に電荷（電気エネルギー）が移動する可能性があり、小容量電源装置の駆動回路への供給電圧に急激な変動が生じ、秒針駆動部 30 S および時分針駆動部 30 HM（被駆動手段に相当）、さらには、制御回路 23 が誤動作する恐れがあるからである。

10 そこで、電荷転送モードにおいては、昇降圧倍率 M' で補助コンデンサ 80 への電荷の転送を行っている状態から大容量 2 次電源 48 と補助コンデンサ 80 を電氣的に直結するショートモードへ移行するに際し、昇降圧コンデンサ 49 a、49 b を介した昇降圧を行わずに、電荷の転送を行うように構成することにより徐々にショートモード時の電圧に移行させることにより、電源電圧の急激な変動を抑制し、秒針駆動

15 部 30 S および時分針駆動部 30 HM、さらには、制御回路 23 の誤動作を防止しているのである。

より具体的には、昇降圧回路 49 は、クロック生成回路 104（図 11 参照）からのクロック信号 CK からリミッタ・昇降圧制御回路 105（図 11 参照）が生成した昇降圧クロック CKUD に基づいて動作しており、電荷転送モードは充電サイクルと、

20 電荷転送サイクルとにより構成されている。

充電サイクル時には、図 3（b）に示すように、第 1 の昇降圧クロックタイミング（パラレル接続タイミング）においては、スイッチ SW1 をオン、スイッチ SW2 をオフ、スイッチ SW3 をオン、スイッチ SW4 をオフ、スイッチ SW11 をオン、スイッチ SW12 をオフ、スイッチ SW13 をオン、スイッチ SW14 をオフ、スイッチ SW21 をオフとする。

25

この場合における昇降圧回路 49 の等価回路は図 9（a）に示すようなものとなって、大容量 2 次電源 48 に対し、コンデンサ 49 a およびコンデンサ 49 b がパラレルに接続されて、大容量 2 次電源 48 の電圧でコンデンサ 49 a およびコンデンサ 49 b が充電される。

そして、電荷転送サイクル時には、図3(b)に示すように、第2の昇降圧クロックタイミング(シリアル接続タイミング)においては、スイッチSW1をオン、スイッチSW2をオフ、スイッチSW3をオフ、スイッチSW4をオン、スイッチSW11をオン、スイッチSW12をオフ、スイッチSW13をオフ、スイッチSW14をオン、スイッチSW21をオフとする。

この場合における昇降圧回路49の等価回路は図9(b)に示すようなものとなって、補助コンデンサ80に対し、コンデンサ49aおよびコンデンサ49bがパラレルに接続されて、コンデンサ49aおよびコンデンサ49bの電圧、すなわち、大容量2次電源48の電圧で補助コンデンサ80が充電され、電荷転送がなされることとなる。

そして、補助コンデンサの充電状態が進んで、ショートモードに移行させても電源電圧変動が少ないと認められる電圧になると、ショートモードに移行させる。これにより電源電圧の急激な変動を抑制し、秒針駆動部30Sおよび時分針駆動部30HM、さらには、制御回路23の誤動作を防止できることとなる。

上記電荷転送モードにおいて、パラレル接続とシリアル接続との状態遷移周期を消費電力の大きさに反比例して設定する、例えば、消費電力が2倍になれば状態遷移周期を $1/2$ とし、消費電力が3倍になれば状態遷移周期を $1/3$ とすることにより、消費電力の大きさによらず、電圧安定状態にいたるまでの時間を一定に制御することが可能となる。

さらに消費電力が大きい場合はさらに状態遷移周期を短くして電荷(電気エネルギー)供給能力を増加させることができ、電源電圧の安定化を図ることができる。

より具体的には、1回の電荷転送サイクルにおいて、転送可能な電気エネルギー量を Q_0 とし、単位時間当たりの転送回数を N とし、必要とされる単位時間当たりの消費電力を Q_{DRV} とした場合に、次式を満たすように単位時間当たりの転送回数 N 、ひいては、状態遷移周期を定めるようにすればよい。

$$Q_{DRV} \leq Q_0 \times N$$

同様にコンデンサ49aおよびコンデンサ49bの容量に応じてパラレル接続とシリアル接続との状態遷移周期を変更するようにしても良い。

すなわち、制御回路23が秒針駆動部30Sおよび時分針駆動部30HM等の全被駆

動ユニットのうち実際に駆動している被駆動ユニットの消費電力を検出する消費電力検出ユニット 106 により検出した消費電力およびパルス合成回路 22 の出力パルス信号からクロック生成回路 104 (図 11 参照) により生成されるクロック信号 CK に基づいて、リミッタ・昇降圧制御回路 105 (図 11 参照) により転送回数に
5 相当する昇降圧クロック CKUD を生成させ、昇降圧回路 49 に出力させるように構成すればよい。

また、上記構成に代えて、消費電力検出ユニット 106 により検出された消費電力に基づいてクロック生成回路 104 (図 11 参照) が内蔵するデコーダにパルス合成回路 22 から出力される複数の出力パルス信号のうちから必要な出力パルス信号を
10 選択させ、クロック生成回路 104 がこの選択された出力パルス信号に基づいてクロック信号 CK を生成し、このクロック信号 CK に基づいて、リミッタ・昇降圧制御回路 105 (図 11 参照) により転送回数に相当する昇降圧クロック CKUD を生成させて、昇降圧回路 49 に出力させるように構成することも可能である。なお、デコーダは必ずしもクロック生成回路 104 が内蔵する必要はなく、クロック生成回路 104
15 とは独立した回路として、消費電力検出ユニット 106 との間に別個に設けたり、消費電力検出ユニット 106 に内蔵するように構成することも可能である。

さらに消費電力検出ユニット 106 に代えて、消費電力記憶判別ユニット 106 を設け、電力を消費しているユニットを特定し、予め記憶しておいた当該ユニットの消費電力、コンデンサ 49a およびコンデンサ 49b の容量に応じた転送回数との関係
20 についてデータテーブルなどの形式により記憶しておき、この記憶データに基づいて対応する転送回数を読み出し、読み出した転送回数およびクロック生成回路 104 (図 11 参照) により生成されるクロック信号 CK に基づいて、リミッタ・昇降圧制御回路 105 (図 11 参照) により転送回数に相当する昇降圧クロック CKUD を生成させ、昇降圧回路 49 に出力させるように構成することも可能である。

25 これらの結果、コンデンサ 49a およびコンデンサ 49b の容量に応じて電荷 (電気エネルギー) 供給能力を増加させることができ、電源電圧の安定化を図ることができる。

[1. 2. 3] 運針機構

次に運針機構 CS、CHM について説明する。

[1. 2. 3. 1] 秒針運針機構

まず秒針運針機構CSについて説明する。

秒針運針機構CSに用いられているステッピングモータ10は、パルスモータ、ステッピングモータ、階動モータあるいはデジタルモータなどとも称され、デジタル制御装置のアクチュエータとして多用されている、パルス信号によって駆動されるモータである。近年、携帯に適した小型の電子装置あるいは情報機器用のアクチュエータとして小型、軽量化されたステッピングモータが多く採用されている。このような電子装置の代表的なものが電子時計、時間スイッチ、クロノグラフといった計時装置である。

- 10 本実施形態のステッピングモータ10は、秒針駆動部3.0Sから供給される駆動パルスによって磁力を発生する駆動コイル11と、この駆動コイル11によって励磁されるステータ12と、さらに、ステータ12の内部において励磁される磁界により回転するロータ13を備えている。

- 15 また、ステッピングモータ10は、ロータ13がディスク状の2極の永久磁石によって構成されたPM型（永久磁石回転型）で構成されている。

ステータ12には、駆動コイル11で発生した磁力によって異なった磁極がロータ13の回りのそれぞれの相（極）15および16に発生するように磁気飽和部17が設けられている。

- 20 また、ロータ13の回転方向を規定するために、ステータ12の内周の適当な位置には内ノッチ18が設けられており、コギングトルクを発生させてロータ13が適当な位置に停止するようにしている。

ステッピングモータ10のロータ13の回転は、かなを介してロータ13に啮合された秒中間車51及び秒車（秒指示車）52からなる輪列50によって秒針53に伝達され、秒表示がなされることとなる。

- 25 [1. 2. 3. 2] 時分運針機構

次に時分針運針機構CHMについて説明する。

時分運針機構CHMに用いられているステッピングモータ60は、ステッピングモータ10と同様の構成となっている。

本実施形態のステッピングモータ60は、時分駆動部3.0HMから供給される駆動パ

ルスによって磁力を発生する駆動コイル61と、この駆動コイル61によって励磁されるステータ62と、さらに、ステータ62の内部において励磁される磁界により回転するロータ63を備えている。

また、ステッピングモータ60は、ロータ63がディスク状の2極の永久磁石によって構成されたP.M型（永久磁石回転型）で構成されている。ステータ62には、駆動コイル61で発生した磁力によって異なった磁極がロータ63の回りのそれぞれの相（極）65および66に発生するように磁気飽和部67が設けられている。また、ロータ63の回転方向を規定するために、ステータ62の内周の適当な位置には内ノッチ68が設けられており、コギングトルクを発生させてロータ63が適当な位置に停止するようにしている。

ステッピングモータ60のロータ63の回転は、かなを介してロータ63に噛合された四番車71、三番車72、二番車（分指示車）73、日の裏車74および筒車（時指示車）75からなる輪列70によって各針に伝達される。二番車73には分針76が接続され、さらに、筒車75には時針77が接続されている。ロータ63の回転に連動してこれらの各針によって時分が表示される。

さらに輪列70には、図示してはいないが、年月日（カレンダー）などの表示を行うための伝達系（例えば、日付表示を行う場合には、筒中間車、日回し中間車、日回し車、日車等）を接続することももちろん可能である。この場合においては、さらにカレンダー修正系輪列（例えば、第1カレンダー修正伝え車、第2カレンダー修正伝え車、カレンダー修正車、日車等）を設けることが可能である。

[1. 2. 4] 秒針駆動部及び時分針駆動部

次に、秒針駆動部30S及び時分針駆動部30HMについて説明する。この場合において、秒針駆動部30S及び時分針駆動部30HMは同様の構成であるので、秒針駆動部30Sについてのみ説明する。

秒針駆動部30Sは、制御部23の制御下でステッピングモータ10に様々な駆動パルスを供給する。

秒針駆動部30Sは、直列に接続されたpチャンネルMOS33aとnチャンネルMOS32a、およびpチャンネルMOS33bとnチャンネルMOS32bによって構成されたブリッジ回路を備えている。

また、秒針駆動部 3.0S は、p チャンネル MOS 33a および 33b とそれぞれ並列に接続された回転検出用抵抗 35a および 35b と、これらの抵抗 35a および 35b にチョップパルスを供給するためのサンプリング用の p チャンネル MOS 34a および 34b を備えている。したがって、これらの MOS 32a、32b、33a、33b、34a および 34b の各ゲート電極に制御部 2.3 からそれぞれのタイミングで極性およびパルス幅の異なる制御パルスを印加することにより、駆動コイル 11 に極性の異なる駆動パルスを供給したり、あるいは、ロータ 13 の回転検出用および磁界検出用の誘起電圧を励起する検出用のパルスを供給することができるようになっている。

[1.2.5] 制御回路

次に、制御回路 2.3 の構成について図 10 および図 11 を参照しつつ説明する。

図 10 に、制御回路 2.3 とその周辺構成（電源部を含む）の概要構成ブロック図を、図 11 にその要部構成ブロック図を示す。

制御回路 2.3 は、大別すると、パルス合成回路 2.2 と、モード設定部 9.0 と、時刻情報記憶部 9.6 と、駆動制御回路 2.4 と、を備えている。

まず、パルス合成回路 2.2 は、水晶振動子などの基準発振源 2.1 を用いて安定した周波数の基準パルスを発振する発振回路と、基準パルスを分周して得た分周パルスと基準パルスとを合成してパルス幅やタイミングの異なるパルス信号を発生する合成回路と、を備えて構成されている。

次に、モード設定部 9.0 は、発電状態検出部 9.1、発電状態の検出のために用いる設定値を切り換える設定値切換部 9.5、大容量 2 次電源 4.8 の充電電圧 V_c および昇降圧回路 4.9 の出力電圧を検出する電圧検出回路 9.2 と、発電状態に応じて時刻表示のモードを制御するとともに充電電圧に基づいて昇圧倍率を制御する中央制御回路 9.3 と、モードを記憶するモード記憶部 9.4 と、を備えて構成されている。

この発電状態検出部 9.1 は、発電装置 4.0 の起電圧 V_{gen} を設定電圧値 V_o と比較して発電が検出されたか否かを判断する第 1 の検出回路 9.7 と、設定電圧値 V_o よりもかなり小さな設定電圧値 V_{bas} 以上の起電圧 V_{gen} が得られた発電継続時間 T_{gen} を設定時間値 T_o と比較して発電が検出されたか否かを判断する第 2 の検出回路 9.8 とを備えており、第 1 の検出回路 9.7 あるいは第 2 の検出回路 9.8 のい

いずれか一方の条件が満足すると、発電状態であると判断し、発電状態検出信号 SPDET を出力するようになっている。ここで、設定電圧値 V_o および V_{bas} は、いずれも V_{dd} ($=GND$) を基準としたときの負電圧であり、 V_{dd} からの電位差を示している。

5 [1. 2. 5. 1] 第1および第2の検出回路

ここで、第1の検出回路 97 および第2の検出回路 98 の構成について図 12 を参照して説明する。

図 12 において、まず、第1の検出回路 97 は、コンパレータ 971、定電圧 V_a を発生する基準電圧源 972、定電圧 V_b を発生する基準電圧源 973、スイッチ S
10 W1、リトリガブルモノマルチ 974 から大略構成されている。

基準電圧源 972 の発生電圧値は、表示モードにおける設定電圧値 V_a となっており、一方、基準電圧源 973 の発生電圧値は、節電モードの設定電圧値 V_b となっている。基準電圧源 972、973 は、スイッチ SW1 を介してコンパレータ 971 の
15 正入力端子に接続されている。このスイッチ SW1 は、設定値切換部 95 によって制御され、表示モードにおいて基準電圧源 972 を、節電モードにおいて基準電圧源 973 をコンパレータ 971 の正入力端子に接続する。また、コンパレータ 971 の負
入力端子には、発電部 A の起電圧 V_{gen} が供給されている。したがって、コンパレータ 971 は、起電圧 V_{gen} を設定電圧値 V_a または設定電圧値 V_b と比較し、起
20 電圧 V_{gen} がこれらを下回る場合（大振幅の場合）には“H”レベルとなり、起電圧 V_{gen} がこれらを上回る場合（小振幅の場合）には“L”レベルとなる比較結果
信号を生成する。

次に、リトリガブルモノマルチ 974 は、比較結果信号が“L”レベルから“H”
レベルに立ち上がる際に発生する立上エッジでトリガされ、“L”レベルから“H”
レベルに立ち上がり、所定時間が経過した後に“L”レベルから“H”レベルに立ち
25 上がる信号を生成する。また、リトリガブルモノマルチ 974 は、所定時間が経過する前に再度トリガされると、計測時間をリセットして新たに時間計測を開始するように構成されている。

次に、第1の検出回路 97 の動作を説明する。

現在のモードが表示モードであるとすれば、スイッチ SW1 は基準電圧源 972 を

選択し、設定電圧値 V_a をコンパレータ 971 に供給する。すると、コンパレータ 971 は設定電圧値 V_a と起電圧 V_{gen} とを比較して、比較結果信号を生成する。この場合、リトリガブルモノマルチ 974 は、比較結果信号の立ち上がりエッジに同期して、“L” レベルから “H” レベルに立ち上がる。

5 一方、現在のモードが表示モードであるとすれば、スイッチ SW1 は基準電圧源 973 を選択し、設定電圧値 V_b をコンパレータ 971 に供給する。この例では、起電圧 V_{gen} は設定電圧値 V_b を越えないので、リトリガブルモノマルチ 974 にトリガが入力されない。したがって、電圧検出信号 S_v はローレベルを維持することになる。

10 このように第1の検出回路 97 では、モードに応じた設定電圧値 V_a または V_b と起電圧 V_{gen} とを比較することによって、電圧検出信号 S を生成している。

図 12 において、第2の検出回路 98 は、積分回路 981、ゲート 982、カウンタ 983、デジタルコンパレータ 984 およびスイッチ SW2 から構成されている。

まず、積分回路 981 は MOS トランジスタ 2、コンデンサ 3、プルアップ抵抗 4、
15 インバータ回路 5 及びインバータ回路 5' から構成されている。

起電圧 V_{gen} が MOS トランジスタ 2 のゲートに接続されており、起電圧 V_{gen} によって MOS トランジスタ 2 はオン、オフ動作を繰り返し、コンデンサ 3 の充電を制御する。スイッチング手段を、MOS トランジスタで構成すればインバータ回路 5 も含めて、積分回路 981 は安価な CMOS-IC で構成できるが、これらのスイ
20 ッチング素子、電圧検出手段はバイポーラトランジスタで構成しても構わない。プルアップ抵抗 4 は、コンデンサ 3 の電圧値 V_3 を非発電時に V_{ss} 電位に固定するとともに、非発電時のリーク電流を発生させる役割がある。これは数十から数百 $M\Omega$ 程度の高抵抗値であり、オン抵抗が大きな MOS トランジスタでも構成可能である。コンデンサ 3 に接続されたインバータ回路 5 によりコンデンサ 3 の電圧値 V_3 を判定し、
25 さらにインバータ回路 5 の出力を反転することにより検出信号 V_{out} を出力する。ここで、インバータ回路 5 の閾値は、第1の検出回路 97 で用いられる設定電圧値 V_o よりもかなり小さな設定電圧値 V_{bas} となるように設定されている。

ゲート 982 には、パルス合成回路 22 から供給される基準信号 S_{REF} と検出信号 V_{out} が供給されている。したがって、カウンタ 983 は検出信号 V_{out} がハイ

レベルの期間、基準信号 SREF をカウントする。このカウント値はデジタルコンパレータ 983 の一方の入力に供給される。また、デジタルコンパレータ 983 の他方の入力には、設定時間に対応する設定時間値 T_o が供給されるようになっている。ここで、現在のモードが表示モードである場合にはスイッチ SW2 を介して設定時間値 T_a が供給され、現在のモードが節電モードである場合にはスイッチ SW2 を介して設定時間値 T_b が供給されるようになっている。なお、スイッチ SW2 は、設定値切換部 95 によって制御される。

デジタルコンパレータ 984 は、検出信号 V_{out} の立ち下がりエッジに同期して、その比較結果を発電継続時間検出信号 S_t として出力する。発電継続時間検出信号 S_t は、設定時間を越えた場合に “H” レベルとなり、一方、設定時間を下回った場合に “L” レベルとなる。

次に、第 2 の検出回路 98 の動作を説明する。発電部 A によって交流電力の発電が始まると、発電装置 40 は、ダイオード 47 を介して起電圧 V_{gen} を生成する。

発電が始まり起電圧 V_{gen} の電圧値が V_{dd} から V_{ss} へ立ち下がると MOS トランジスタ 2 がオンして、コンデンサ 3 の充電が始まる。 V_3 の電位は、非発電時はプルアップ抵抗 4 によって V_{ss} 側に固定されているが、発電が起こり、コンデンサ 3 の充電が始まると V_{dd} 側に上がり始める。次に起電圧 V_{gen} の電圧が V_{ss} へ増加に転じ、MOS トランジスタ 2 がオフすると、コンデンサ 3 への充電は止まるが、 V_3 の電位はコンデンサ 3 によってそのまま保持される。以上の動作は、発電が持続されている間、繰り返され、 V_3 の電位は V_{dd} まで上がっていき安定する。 V_3 の電位がインバータ回路 5 の閾値より上がると、インバータ回路 5' の出力である検出信号 V_{out} が “L” レベルから “H” レベルに切り替わり、発電の検出ができる。発電検出までの応答時間は、電流制限抵抗を接続したり、MOS トランジスタの能力を変えてコンデンサ 3 への充電電流の値を調整したり、またコンデンサ 3 の容量値を変えることによって任意に設定できる。

発電が停止すると起電圧 V_{gen} は V_{dd} レベルで安定するため、MOS トランジスタ 2 はオフした状態のままとなる。 V_3 の電圧はコンデンサ 3 によってしばらくは保持され続けるが、プルアップ抵抗 4 によるわずかなリーク電流によってコンデンサ 3 の電荷が抜けるため、 V_3 は V_{dd} から V_{ss} へ徐々に下がり始める。そして V_3

がインバータ回路5の閾値を越えるとインバータ回路5'の出力である検出信号Voutは、“H”レベルから“L”レベルに切り替わり、発電がされていないことの検出ができる。この応答時間はプルアップ抵抗4の抵抗値を変え、コンデンサ3のリーク電流を調整することで任意に設定可能である。

5 この検出信号Voutがゲート982によって基準信号でゲートされると、これをカウンタ983がカウントする。このカウント値は、デジタルコンパレータ984によって、設定時間に対応する値とタイミングT1で比較される。ここで、検出信号Voutのハイレベル期間Txが設定時間値Toよりも長いならば、発電継続時間検出信号Stは、“L”レベルから“H”レベルに変化する。

10 さてここで、発電用ロータ43の回転速度の違いによる起電圧Vgenおよび該起電圧Vgenに対する検出信号Voutを説明する。

起電圧Vgenの電圧レベルおよび周期（周波数）は、発電用ロータ43の回転速度に応じて変化する。すなわち、回転速度が大きいほど、起電圧Vgenの振幅は大となり、かつ周期が短くなる。このため、発電用ロータ43の回転速度、すなわち発電装置40の発電の強さに応じて、検出信号Voutの出力保持時間（発電継続時間）の長さが変化することになる。すなわち、発電用ロータ43の回転速度が小さい場合、すなわち、発電が弱い場合には、出力保持時間はtaとなり、発電用ロータ43の回転速度が大きい場合、すなわち、発電が強い場合には、出力保持時間はtbとなる。両者の大小関係は、 $t_a < t_b$ である。このように、検出信号Voutの出力保持時間の長さによって、発電装置40の発電の強さを知ることができる。

20 この場合において、設定電圧値Voおよび設定時間値Toは、設定値切換部95によって切換制御できるようになっている。設定値切換部95は、時刻表示を行う表示モードから秒針駆動部30S及び時分針駆動部30HMの駆動を停止し、時刻表示を行わない節電モード（但し、制御回路などは動作している。）に切り換わると、発電検出回路91の第1および第2の検出回路97および98の設定値VoおよびToの値を変更する。

25 本例においては、表示モードの設定値VaおよびTaとして、節電モードの設定値VbおよびTbよりも低い値がセットされるようになっている。したがって、節電モードから表示モードへ切り換えるためには、大きな発電が必要とされる。ここで、そ

の発電の程度は、計時装置 1 を通常携帯して得られる程度ではならず、ユーザが手振りによって強制的に充電する際に生じる大きなものである必要がある。換言すれば、節電モードの設定値 V_b および T_b は手振りによる強制充電を検出できるように設定されている。

- 5 また、中央制御回路 9 3 は、第 1 および第 2 の検出回路 9 7 および 9 8 で発電が検出されない非発電時間 T_n を計測する非発電時間計測回路 9 9 を備えており、非発電時間 T_n が所定の設定時間以上継続すると表示モードから節電モードに移行するようになっている。

- 10 一方、節電モードから表示モードへの移行は、発電状態検出部 9 1 によって、発電部 A が発電状態にあることが検出され、かつ、大容量 2 次電源 4 8 の充電電圧 V_C が十分であるという条件が整うと実行される。

- 15 この場合において、節電モードへ移行している状態で、リミッタ回路 LM が動作し、オン（閉）状態となっていると、発電部 A は短絡状態となり、発電部 A の電气的情報が全く後段に伝わらないため、発電状態検出部 9 1 は、発電部 A が発電状態にあってもそれを検出することができなくなってしまう、節電モードから表示モードへ移行することができなくなってしまうこととなる。

そこで、本実施形態においては、動作モードが節電モードにある場合には、発電部 A の発電状態に拘わらず、リミッタ回路 LM をオフ（開）状態として、発電状態検出部 9 1 は、発電部 A の発電状態を確実に検出することができるようにしている。

- 20 また、電圧検出回路 9 2 は、リミッタ回路 LM を動作状態とするか否かを大容量 2 次電源 4 8 の充電電圧 V_C あるいは補助コンデンサ 8 0 の充電電圧 V_{C1} と、予め定めたりミッタオン基準電圧 V_{LMON} と、を比較することにより検出し、リミッタオン信号 S_{LMON} を出力するリミッタオン電圧検出回路 9 2 A と、リミッタオン電圧検出回路 9 2 A を動作させるか否かを大容量 2 次電源 4 8 の充電電圧 V_C あるいは補助コンデンサ 8 0 の充電電圧 V_{C1} と、予め定めたりミッタ回路動作基準電圧（以下、プレ電圧という） V_{PRE} と比較することにより検出し、リミッタ動作許可信号 S_{LMEN} を出力するプレ電圧検出回路 9 2 B と、大容量 2 次電源 4 8 の充電電圧 V_C あるいは補助コンデンサ 8 0 の充電電圧 V_{C1} を検出し、電源電圧検出信号 S_{PW} を出力する電源電圧検出回路 9 2 C と、備えて構成されている。

この場合において、リミッタオン電圧検出回路 9 2 A は、プレ電圧検出回路 9 2 B に比較して高精度で電圧検出が可能な回路構成を採用しており、プレ電圧検出回路 9 2 B と比較して回路規模が大きくなり、その消費電力も大きなものとなっている。

5 ここで、リミッタオン電圧検出回路 9 2 A、プレ電圧検出回路 9 2 B 及びリミッタ回路 LM の詳細構成および動作について図 1 3 及び図 1 4 を参照して説明する。

10 プレ電圧検出回路 9 2 B は、図 1 3 に示すように、V d d (高電圧側) にドレインが接続され、発電検出回路 9 1 の出力する発電状態検出信号 SPDET に基づいて発電状態においてオン状態となる P チャネルトランジスタ TP 1 と、ドレインが P チャネルトランジスタ TP 1 のソースに接続され、ゲートに所定の一定電圧 VCONST が印加された P チャネルトランジスタ TP 2 と、ドレインが P チャネルトランジスタ TP 1 の

15 ソースに接続され、ゲートに所定の一定電圧 VCONST が印加され、P チャネルトランジスタ TP 2 に並列に接続された P チャネルトランジスタ TP 3 と、ソースが P チャネルトランジスタ TP 2 のソースに接続され、ゲートおよびドレインが共通接続された N チャネルトランジスタ TN 1 と、ソースが N チャネルトランジスタ TN 1 のドレインに接続され、ゲートおよびドレインが共通接続された N チャネルトランジスタ TN 2 と、ソースが N チャネルトランジスタ TN 2 のドレインに接続され、ゲートおよびソースが共通接続され、ドレインが V s s (低電圧側) に接続された N チャネルトランジスタ TN 3 と、ソースが P チャネルトランジスタ TP 3 のソースに接続され、ゲートが N チャネルトランジスタ TN 3 のゲートに共通接続され、ドレインが V s s

20 (低電圧側) に接続された N チャネルトランジスタ TN 4 と、を備えて構成されている。

この場合において、N チャネルトランジスタ TN 3 および N チャネルトランジスタ TN 4 とは、カレントミラー回路を構成している。

25 プレ電圧検出回路 9 2 B は、発電検出回路 9 1 により発電が検出されたことを示す発電状態検出信号 SPDET を受けて、動作を開始する。

基本的な動作としては、作動対のトランジスタの能力のアンバランスにより発生する電位差を検出電圧とする回路構成となっている。

すなわち、P チャネルトランジスタ TP 2、N チャネルトランジスタ TN 1、N チャネルトランジスタ TN 2 および N チャネルトランジスタ TN 3 の第 1 のトランジ

スタ群と、PチャネルトランジスタTP 3及びNチャネルトランジスタTN 4の第2のトランジスタ群との間の能力のアンバランスにより発生する電位差を検出することにより、リミッタオン電圧検出回路9 2 Aにリミッタ動作許可信号SLMENを出力するか否かを決定している。

- 5 図1 3に示すプレ電圧検出回路9 2 Bにおいては、Nチャネルトランジスタのしきい値のおよそ3倍の電圧が検出電圧となっている。

本回路構成においては、トランジスタの動作電流で全体回路の消費電流が決定されてため、非常に小さな消費電流(10 [nA] 程度)での電圧検出動作が可能となる。

- 10 しかしながら、トランジスタのしきい値は様々な要因でばらつくため、精度の高い電圧検出は困難となっている。

これに対し、リミッタオン電圧検出回路9 2 Aは、消費電流は大きいが高精度で電圧検出が可能となる回路構成を採用している。

- すなわち、図1 3に示すように、リミッタオン電圧検出回路9 2 Aは、一方の入力
15 端子に、リミッタオン電圧検出タイミングに相当するサンプリング信号SSPが入力され、他方の入力端子にリミッタ動作許可信号SLMENが入力され、リミッタ動作許可信号SLMENが“H”レベルかつサンプリング信号SSPが“H”レベルの場合に、“L”レベルの動作制御信号を出力するNAND回路NAと、“L”レベルの動作制御信号が出力された場合にオン状態となるPチャネルトランジスタTP 1 1、TP 1 2と、
20 PチャネルトランジスタTP 1 2がオン状態である場合に動作電源が供給され、基準電圧VREFと発電電圧あるいは蓄電電圧である被検出電圧をスイッチSW a、SW b、SW cを排他的にオン状態として抵抗分割した電圧を順次比較する電圧コンパレータCMPと、を備えて構成されている。

- NAND回路NAは、リミッタ動作許可信号SLMENが“H”レベルかつサンプリング
25 信号SSPが“H”レベルの場合に、“L”レベルの動作制御信号をPチャネルトランジスタTP 1 1及びPチャネルトランジスタTP 1 2に出力する。

これにより、PチャネルトランジスタTP 1 1、TP 1 2は双方ともオン状態となる。

この結果、電圧コンパレータCMPは、動作電源が供給され、基準電圧VREFと発

電圧あるいは蓄電電圧である被検出電圧をスイッチSWa、SWb、SWcを排他的にオン状態として抵抗分割した電圧を順次比較することとなり、検出結果をリミッタ回路LMあるいは昇降圧回路49に出力することとなる。

[1. 2. 5. 2] リミッタ回路

- 5 図14にリミッタ回路LMの一例を示す。

図14(a)は、スイッチングトランジスタSWLMにより発電装置40の出力を短絡して発電電圧が外部出力されないようにした場合の構成例である。

また、図14(b)は、スイッチングトランジスタSWLM'により発電装置40を開放状態として、発電電圧が外部出力されないようにした場合の構成例である。

- 10 また、本実施形態の電源部Bは昇降圧回路49を備えているため、充電電圧VCがある程度低い状態でも昇降圧回路49を用いて電源電圧を昇圧することにより、運針機構CS、CHMを駆動することが可能である。

- また、逆に充電電圧VCがある程度高く、運針機構CS、CHMの駆動電圧よりも高い状態でも昇降圧回路49を用いて電源電圧を降圧することにより、運針機構CS、CHMを駆動することが可能である。
- 15

そこで、中央制御回路93は、充電電圧VCに基づいて昇降圧倍率を決定し、昇降圧回路49を制御している。

- しかし、充電電圧VCがあまりに低いと、昇圧しても運針機構CS、CHMを動作させることができる電源電圧を得ることができない。そのような場合に、節電モードから表示モードに移行すると、正確な時刻表示を行うことができず、また、無駄な電力を消費してしまうことになる。
- 20

そこで、本実施形態においては、充電電圧VCを予め定められた設定電圧値Vcと比較することにより、充電電圧VCが十分であるか否かを判断し、これを節電モードから表示モードへ移行するための一条件としている。

- 25 さらに中央制御回路93は、ユーザにより外部入力装置100が操作された場合に、予め定めた強制的な節電モードへの移行の指示動作が所定時間内に行われたか否かを監視するための節電モードカウンタ101と、常時サイクリックにカウントを継続するとともに、カウント値=0の秒針位置が予め定めた所定の節電モード表示位置(例えば、1時の位置)に相当する秒針位置カウンタ102と、パルス合成回路22

における発振が停止したか否かを検出し、発振停止検出信号 S OSCを出力する発振停止検出回路 1 0 3 と、パルス合成回路 2 2 の出力に基づいてクロック信号 CK を生成し、出力するクロック生成回路 1 0 4 と、リミッタオン信号 S LMON、電源電圧検出信号 S PW、クロック信号 CK および発電状態検出信号 S PDET に基づいて、リミッタ回路 L M の
5 オン／オフ制御および昇降圧クロック信号 C KUD による昇降圧回路 4 9 の昇降圧倍率制御を行うリミッタ・昇降圧制御回路 1 0 5 と、を備えて構成されている。

このように設定されたモードは、モード記憶部 9 4 に記憶され、その情報が駆動制御回路 2 4、時刻情報記憶部 9 6 および設定値切換部 9 5 に供給されている。駆動制御回路 2 4 においては、表示モードから節電モードに切り換わると、秒針駆動部 3 0
10 S 及び時分針駆動部 3 0 HM に対しパルス信号を供給するのを停止し、秒針駆動部 3 0 S 及び時分針駆動部 3 0 HM の動作を停止させる。これにより、モータ 1 0 は回転なくなり、時刻表示は停止する。

次に、時刻情報記憶部 9 6 は、より具体的にはアップダウンカウンタで構成されており（図示せず）、表示モードから節電モードに切り換わると、パルス合成回路 2 2
15 によって生成された基準信号を受けて時間計測を開始してカウント値をアップし（アップカウント）、節電モードの継続時間がカウント値として計測されることになる。

また、節電モードから表示モードに切り換わると、前記アップダウンカウンタのカウント値をダウンし（ダウンカウント）、ダウンカウント中は、駆動制御回路 2 4 から秒針駆動部 3 0 S 及び時分針駆動部 3 0 HM に供給される早送りパルスを出力する。

20 そして、アップダウンカウンタのカウント値が零、すなわち、節電モードの継続時間および早送り運針中の経過時間に相当する早送り運針時間が経過すると、早送りパルスの送出を停止するための制御信号を生成し、これを秒針駆動部 3 0 S 及び時分針駆動部 3 0 HM に供給している。

この結果、時刻表示は現在時刻に復帰されることとなる。

25 このように時刻情報記憶部 9 6 は、再表示された時刻表示を現在時刻に復帰させる機能も備えている。

次に、駆動制御回路 2 4 は、パルス合成回路 2 2 から出力される各種のパルスに基づいて、モードに応じた駆動パルスを生成する。まず、節電モードにあっては、駆動パルスの供給を停止する。次に、節電モードから表示モードへの切換が行われた直後

には、再表示された時刻表示を現時刻に復帰させるために、パルス間隔が短い早送りパルスを駆動パルスとして秒針駆動部 30S 及び時分針駆動部 30HM に供給する。

次に、早送りパルスの供給が終了した後は、通常のパルス間隔の駆動パルスを秒針駆動部 30S 及び時分針駆動部 30HM に供給する。

5 [1. 2. 5. 3] リミッタ・昇降圧制御回路

ここで図 15 ないし図 17 を参照してリミッタ・昇降圧制御回路 105 の構成について詳細に説明する。

リミッタ・昇降圧制御回路 105 は、大別すると、図 15 に示すリミッタ・昇降圧倍率制御回路 201 と、図 16 に示す昇降圧倍率制御用クロック生成回路 202 と、
10 図 17 に示す昇降圧制御回路 203 と、を備えて構成されている。

[1. 2. 5. 3. 1] リミッタ・昇降圧倍率制御回路

リミッタ・昇降圧倍率制御回路 201 は、図 15 に示すように、一方の入力端子にリミッタ回路 LM を動作状態とする場合に “H” レベルとなるリミッタオン信号 SLM ON が入力され、他方の入力端子に発電装置 4.0 が発電状態にある場合に出力される発電状態検出信号 SPDET が入力される AND 回路 211 と、入力端子に 1/2 降圧時に
15 “H” レベルとなる 1/2 倍信号 S1/2 が入力され、1/2 倍信号 S1/2 を反転して反転 1/2 倍信号 /S1/2 を出力するインバータ 212 と、一方の入力端子にインバータ 212 の出力端子が接続され、他方の入力端子に信号 SPW1 が入力された AND 回路 213 と、一方の入力端子に AND 回路 211 の出力端子が接続され、他方の入力
20 端子に AND 回路 213 の出力端子が接続され、昇降圧倍率を設定するためのカウント値をアップするためのアップクロック信号 UPCL を出力する OR 回路 214 と、入力端子に 3 倍昇圧時に “H” レベルとなる 3 倍信号 SX3 が入力され、3 倍信号 SX3 を反転して反転 3 倍信号 /SX3 を出力するインバータ 215 と、一方の入力端子にイン
25 バータ 215 の出力端子が接続され、他方の入力端子に信号 SPW2 が入力され、昇降圧倍率を設定するためのカウント値をダウンするためのダウクロック信号 DNCL を出力する AND 回路 216 と、入力端子に昇降圧倍率変更を禁止する際に “H” レベルとなる昇降圧倍率変更禁止信号 INH が入力され、昇降圧倍率変更禁止信号 INH を反転して反転昇降圧倍率変更禁止信号 /INH を出力するインバータ 217 と、を備えて構成されている。

さらにリミッタ・昇降圧倍率制御回路 201 は、一方の入力端子にアップクロック信号 UPCL が入力され、他方の入力端子に反転昇降圧倍率変更禁止信号 / INH が入力され、反転昇降圧倍率変更禁止信号 / INH が “L” レベル、すなわち、昇降圧倍率変更禁止時にアップクロック信号 UPCL の入力を無効とする AND 回路 221 と、

5 一方の入力端子にダウクロック信号 DNCL が入力され、他方の入力端子に反転昇降圧倍率変更禁止信号 / INH が入力され、反転昇降圧倍率変更禁止信号 / INH が “L” レベル、すなわち、昇降圧倍率変更禁止時にダウクロック信号 DNCL の入力を無効とする AND 回路 222 と、を備えて構成されている。なお、AND 回路 221 及び AND 回路 222 は、昇降圧倍率変更禁止ユニット 223 として機能している。

10 またリミッタ・昇降圧倍率制御回路 201 は、一方の入力端子に AND 回路 221 の出力端子が接続され、他方の入力端子に AND 回路 222 の出力端子が接続された NOR 回路 225 と、NOR 回路 225 の出力信号を反転して出力するインバータ 226 と、クロック端子 CL1 にインバータ 226 の出力信号が入力され、反転クロック端子 / CL1 に NOR 回路 225 の出力信号が入力され、リセット端子 R1 に倍率設定信号 SSET が入力され、第 1 カウントデータ Q1 及び反転第 1 カウントデータ / Q1

15 を出力する第 1 カウンタ 227 と、一方の入力端子に AND 回路 221 の出力端子が接続され、他方の入力端子に第 1 カウントデータ Q1 が入力される AND 回路 228 と、一方の入力端子に AND 回路 222 の出力端子が接続され、他方の入力端子に反転第 1 カウントデータ / Q1 が入力される AND 回路 229 と、一方の入力端子に AND 回路 228 の出力端子が接続され、他方の入力端子に AND 回路 229 の出力端子が接続された NOR 回路 230 と、を備えて構成されている。

20

またさらにリミッタ・昇降圧倍率制御回路 201 は、NOR 回路 230 の出力信号を反転して出力するインバータ 236 と、クロック端子 CL2 にインバータ 236 の出力信号が入力され、反転クロック端子 / CL2 に NOR 回路 230 の出力信号が入力され、リセット端子 R2 に倍率設定信号 SSET が入力され、第 2 カウントデータ Q2

25 及び反転第 2 カウントデータ / Q2 を出力する第 2 カウンタ 237 と、一方の入力端子に AND 回路 221 の出力端子が接続され、他方の入力端子に第 2 カウントデータ Q2 が入力される AND 回路 238 と、一方の入力端子に AND 回路 222 の出力端子が接続され、他方の入力端子に反転第 2 カウントデータ / Q2 が入力される AND

回路 2 3 9 と、一方の入力端子に AND 回路 2 3 8 の出力端子が接続され、他方の入力端子に AND 回路 2 3 9 の出力端子が接続された NOR 回路 2 4 0 と、を備えて構成されている。

5 またリミッタ・昇降圧倍率制御回路 2 0 1 は、NOR 回路 2 4 0 の出力信号を反転して出力するインバータ 2 4 6 と、クロック端子 CL3 にインバータ 2 4 6 の出力信号が入力され、反転クロック端子 / CL3 に NOR 回路 2 4 0 の出力信号が入力され、リセット端子 R3 に倍率設定信号 S SET が入力され、第 3 カウントデータ Q3 (= 1 / 2 倍信号 S1/2 として機能) 及び反転第 3 カウントデータ / Q3 を出力する第 3 カウン
10 タ 2 4 7 と、第 1 の入力端子に反転第 3 カウントデータ / Q3 が入力され、第 2 の入力端子に第 2 カウントデータ Q2 が入力され、第 3 の入力端子に第 1 カウントデータ Q1 が入力され、これらのデータの論理積の否定をとって出力する NAND 回路 2 5
15 1 と、第 1 の入力端子に反転第 3 カウントデータ / Q3 が入力され、第 2 の入力端子に第 2 カウントデータ Q2 が入力され、第 3 の入力端子に反転第 1 カウントデータ / Q1 が入力され、これらのデータの論理積をとって昇降圧倍率 1.5 倍昇圧の際に “H”
20 レベルとなる 1.5 倍信号 SX1.5 として出力する NAND 回路 2 5 2 と、第 1 の入力端子に反転第 3 カウントデータ / Q3 が入力され、第 2 の入力端子に第 1 カウントデータ Q1 が入力され、第 3 の入力端子に反転第 2 カウントデータ / Q2 が入力され、これらのデータの論理積をとって昇降圧倍率 2 倍昇圧の際に “H” レベルとなる 2 倍信号 SX2 として出力する NAND 回路 2 5 3 と、第 1 の入力端子に反転第 3 カウン
25 タ / Q3 が入力され、第 2 の入力端子に反転第 1 カウントデータ / Q1 が入力され、第 3 の入力端子に反転第 2 カウントデータ / Q2 が入力され、これらのデータの論理積をとって昇降圧倍率 3 倍昇圧の際に “H” レベルとなる 3 倍信号 SX3 として出力する NAND 回路 2 5 4 と、を備えて構成されている。

さらにリミッタ・昇降圧倍率制御回路 2 0 1 は、昇降圧倍率が 1.5 倍昇圧から 1
25 倍昇圧 (= 非昇降圧) に移行した場合、あるいは、昇降圧倍率が 1 / 2 倍降圧から 1 倍昇圧に移行した場合に、クロック信号 CL の 1 ~ 2 周期 (この範囲で不定) の期間、電荷転送モード信号 STRN を “H” レベルとするための移行期間信号を出力するタイマ 2 6 0 と、NAND 回路 2 5 1 の出力信号を反転して出力するインバータ 2 6 1 と、一方の入力端子に移行期間信号が入力され、他方の入力端子にインバータ 2 6 1 の出

力信号が入力され、これらの信号の論理積をとって昇降圧倍率 1 倍昇圧（非昇降圧）の際に “H” レベルとなる 1 倍信号 SX1 として出力する AND 回路 262 と、一方の入力端子に移行期間信号が入力され、他方の入力端子に NAND 回路 251 の出力信号が入力され、これらの信号の論理和の否定をとって電荷転送モード時に “H” レベルとなる電荷転送モード信号 STRN として出力する NOR 回路 263 と、を備えて構成されている。

タイマ 260 は、クロック信号 CL を反転して反転クロック信号 $\overline{\text{CL}}$ として出力するインバータ 265 と、クロック端子 CL に反転クロック信号 $\overline{\text{CL}}$ が入力され、反転クロック端子 $\overline{\text{CL1}}$ にクロック信号 CL が入力され、リセット端子 R に NAND 回路 251 の出力信号が入力される第 1 カウンタ 266 と、クロック端子 CL に第 1 カウンタ 266 の出力端子 Q が接続され、反転クロック端子 $\overline{\text{CL}}$ に第 1 カウンタ 266 の出力端子 $\overline{\text{Q}}$ が接続され、リセット端子 R に NAND 回路 251 の出力信号が入力され、出力端子 Q から移行期間信号が出力される第 2 カウンタ 267 と、を備えて構成されている。

図 18 にリミッタ・昇降圧倍率制御回路の動作説明図を示す。

上記構成において、第 1 カウントデータ Q1、第 2 カウントデータ Q2 及び第 3 カウントデータ Q3 の関係は、図 18 に示すようになっており、例えば、

$Q1=0$ (= “L”)、 $Q2=0$ (= “L”)、 $Q3=0$ (= “L”)

であるならば、昇降圧倍率は、3 倍であり、3 倍信号 S_{x3} が “H” レベルとなる。

また、

$Q1=0$ (= “L”)、 $Q2=1$ (= “H”)、 $Q3=0$ (= “L”)

であるならば、昇降圧倍率は、1.5 倍であり、1.5 倍信号 $S_{x1.5}$ が “H” レベルとなる。

さらに

$Q3=1$ (= “H”)

であるならば、昇降圧倍率は、 $1/2$ であり、 $1/2$ 倍信号 $S_{1/2}$ が “H” レベルとなる。

[1. 2. 5. 3. 2] 昇降圧倍率制御用クロック生成回路

昇降圧倍率制御用クロック生成回路 202 は、図 16 に示すように、クロック信号

CKを反転するインバータ271と、インバータ271の出力の高域成分を除去して出力するロウパスフィルタ部272と、ロウパスフィルタ部272の出力信号を反転して出力するインバータ273と、一方の入力端子にクロック信号CKが入力され、他方の入力端子にインバータ273の出力信号が入力され、両入力信号の論理積をとってパラレル信号Parallelとして出力するAND回路274と、一方の入力端子にクロック信号CKが入力され、他方の入力端子にインバータ273の出力信号が入力され、両入力信号の論理和の否定をとってシリアル信号Serialとして出力するNOR回路275と、を備えて構成されている。

図1.9にパラレル信号及びシリアル信号の波形説明図を示す。

上記構成において、パラレル信号Parallel及びシリアル信号Serialの波形は、例えば、図1.9に示すようなものとなっている。

[1. 2. 5. 3. 3] 昇降圧制御回路

昇降圧制御回路203は、図1.7に示すように、パラレル信号Parallelを反転して反転パラレル信号/Parallelとして出力するインバータ281と、シリアル信号Serialを反転して反転シリアル信号/Serialとして出力するインバータ282と、1倍信号SX1を反転し反転1倍信号/SX1として出力するインバータ283と、反転1倍信号/SX1を再び反転して1倍信号SX1として出力するインバータ284と、1/2倍信号S1/2を反転し反転1/2倍信号/S1/2として出力するインバータ285と、反転1/2倍信号/S1/2を再び反転し1/2倍信号S1/2として出力するインバータ286と、一方の入力端子に1/2倍信号S1/2が入力され、他方の入力端子に転送モード信号STRNが入力され、1/2倍信号S1/2と転送モード信号STRNとの論理和の否定をとって出力するNOR回路287と、を備えて構成されている。

また昇降圧制御回路203は、一方の入力端子に反転パラレル信号/Parallelが入力され、他方の入力端子に1倍信号SX1が入力される第1OR回路291と、一方の入力端子に反転シリアル信号/Serialが入力され、他方の端子にはNOR回路287の出力信号が入力される第2OR回路292と、一方の入力端子には第1OR回路291の出力端子が接続され、他方の入力端子には第2OR回路292の出力端子が接続され、両OR回路の出力の論理積をとって、スイッチSW1を制御すべく、スイッチSW1をオン状態とする場合に“H”レベルとなるスイッチ制御信号SSW1を出力

するNAND回路293と、一方の入力端子に反転パラレル信号/Parallelが入力され、他方の入力端子に反転1倍信号/SX1が入力される第3OR回路294と、NOR回路287の出力信号を反転して出力するインバータ295と、一方の入力端子に反転シリアル信号/Serialが入力され、他方の端子にはインバータ295の出力信号
5 が入力される第4OR回路296と、一方の入力端子には第3OR回路294の出力端子が接続され、他方の入力端子には第4OR回路296の出力端子が接続され、両OR回路の出力の論理積をとって、スイッチSW2を制御すべく、スイッチSW2をオン状態とする場合に“H”レベルとなるスイッチ制御信号SW2を出力するNAND回路297と、を備えて構成されている。

- 10 さらに昇降圧制御回路203は、一方の入力端子に1/2倍信号S1/2が入力され、他方の入力端子に1.5倍信号SX1.5が入力され、両信号の論理和をとって出力するOR回路298と、一方の入力端子に反転パラレル信号/Parallelが入力され、他方の入力端子にオア回路298の出力信号が入力される第5OR回路299と、一方の入力端子に反転シリアル信号/Serialが入力され、他方の入力端子には、反転1倍信
15 号/SX1が入力される第6OR回路301と、一方の入力端子には第5OR回路299の出力端子が接続され、他方の入力端子には第6OR回路301の出力端子が接続され、両OR回路の出力の論理積をとって、スイッチSW3を制御すべく、スイッチSW3をオン状態とする場合に“H”レベルとなるスイッチ制御信号SW3を出力するNAND回路302と、一方の入力端子に反転パラレル信号/Parallelが入力され、
20 他方の入力端子に反転1倍信号/SX1が入力される第7OR回路303と、一方の入力端子に反転シリアル信号/Serialが入力され、他方の端子には3倍信号SX3が入力される第8OR回路304と、一方の入力端子には第7OR回路303の出力端子が接続され、他方の入力端子には第8OR回路304の出力端子が接続され、両OR回路の出力の論理積をとって、スイッチSW4を制御すべく、スイッチSW4をオン状
25 態とする場合に“H”レベルとなるスイッチ制御信号SW4を出力するNAND回路305と、を備えて構成されている。

さらにまた昇降圧制御回路203は、第1の入力端子に3倍信号SX3が入力され、第2の入力端子に2倍信号SX2が入力され、第3の入力端子に転送モード信号STRNが入力され、これらの入力信号の論理和の否定をとって出力するNOR回路306と、

一方の入力端子にNOR回路306の出力信号が入力され、他方の入力端子に反転パラレル信号/Parallelが入力される第9OR回路307と、一方の入力端子に転送モード信号STRNが入力され、他方の入力端子に1/2倍信号S1/2が入力されるNOR回路308と、一方の入力端子に反転シリアル信号/Serialが入力され、他方の入力端子にNOR回路308の出力端子が接続された第10OR回路309と、一方の入力端子には第9OR回路307の出力端子が接続され、他方の入力端子には第10OR回路309の出力端子が接続され、両OR回路の出力の論理積をとって、スイッチSW11を制御すべく、スイッチSW11をオン状態とする場合に“H”レベルとなるスイッチ制御信号SSW11を出力するNAND回路310と、第1の入力端子に2倍信号SX2が入力され、第2の入力端子に1.5倍信号SX1.5が入力され、第3の入力端子に1倍信号SX1が入力され、これらの入力信号の論理和の否定をとって出力するNOR回路311と、一方の入力端子にNOR回路311の出力信号が入力され、他方の入力端子に反転シリアル信号/Serialが入力される第11OR回路312と、一方の入力端子に反転パラレル信号/Parallelが入力され、他方の入力端子に反転1倍信号/SX1が入力された第12OR回路313と、一方の入力端子には第11OR回路312の出力端子が接続され、他方の入力端子には第12OR回路313の出力端子が接続され、両OR回路の出力の論理積をとって、スイッチSW12を制御すべく、スイッチSW12をオン状態とする場合に“H”レベルとなるスイッチ制御信号SSW12を出力するNAND回路314と、を備えて構成されている。

また昇降圧制御回路203は、一方の入力端子に反転シリアル信号/Serialが入力され、他方の入力端子に反転1倍信号/SX1が入力される第13OR回路315と、一方の入力端子に反転パラレル信号/Parallelが入力され、他方の入力端子に第13OR回路315の出力信号が入力され、反転パラレル信号/Parallelと第13OR回路315の出力信号の論理積をとって、スイッチSW13を制御すべく、スイッチSW13をオン状態とする場合に“H”レベルとなるスイッチ制御信号SSW13を出力するNAND回路316と、一方の入力端子に反転パラレル信号/Parallelが入力され、他方の入力端子に反転1倍信号/SX1が入力される第14OR回路317と、一方の入力端子に反転シリアル信号/Serialが入力され、他方の端子に第14OR回路317の出力信号が入力され、反転シリアル信号/Serialと第14OR回路317の出力

信号の論理積をとって、スイッチSW14を制御すべく、スイッチSW14をオン状態とする場合に“H”レベルとなるスイッチ制御信号SSW14を出力するNAND回路318と、を備えて構成されている。

さらに昇降圧制御回路203は、一方の入力端子に1/2倍信号S1/2が入力され、
5 他方の入力端子に1.5倍信号SX1.5が入力されるNOR回路319と、一方の入力端子に反転パラレル信号/Parallelが入力され、他方の入力端子にNOR回路319の出力信号が入力される第15OR回路320と、入力端子に3倍信号SX3が入力され、3倍信号SX3を反転して反転3倍信号/SX3として出力するインバータ321と、一方の入力端子に反転シリアル信号/Serialが入力され、他方の入力端子に反転3倍
10 信号/SX3が入力され、反転シリアル信号/Serialと反転3倍信号/SX3の論理和をとって出力する第16OR回路322と、一方の入力端子には第15OR回路320の出力端子が接続され、他方の入力端子には第16OR回路322の出力端子が接続され、両OR回路の出力の論理積をとって、スイッチSW21を制御すべく、スイッチSW21をオン状態とする場合に“H”レベルとなるスイッチ制御信号SSW21を
15 出力するNAND回路323と、を備えて構成されている。

これらの構成の結果、昇降圧制御回路203は、図3に示した昇降圧回路の動作説明図に対応するスイッチ制御信号SSW1、SSW2、SSW3、SSW4、SSW11、SSW12、SSW13、SSW14、SSW21をパラレル信号Parallel及びシリアル信号/Serialに基づくタイミングで出力することとなる。

20 [1. 2. 5. 3. 4] 基準クロック信号出力回路

ここで、昇降圧倍率制御用クロック生成回路202においてパラレル信号Parallel及びシリアル信号Serialを生成する際に用いられるクロック信号CKを被駆動部L1~Lnの消費電流(=消費電力)に応じて出力する基準クロック信号出力回路について図20を参照して説明する。

25 基準クロック信号出力回路400は、大別すると、被駆動部L1~Lnの総消費電力を総消費電流として検出する消費電流検出部401と、消費電流検出部401の検出結果に基づいてパルス合成回路22が生成したクロック信号CL1~CL4を選択して昇降圧制御クロックの基準となるクロック信号CKとして昇降圧倍率制御用クロック生成回路202に出力するクロック選択部402と、を備えて構成されてい

る。

この場合において、クロック信号CL1～CL4の周波数は、以下の関係にあるものとする。

(周波数 高) $CL1 > CL2 > CL3 > CL4$ (周波数 低)

- 5 これにより、クロック信号CLとしてクロック信号CL1が出力される場合が最も電力供給能力が高く、高消費電力に対応するものとなり、クロック信号CLとしてクロック信号CL4が出力される場合が最も電力供給能力が低く、低消費電力に対応するものとなるように設定されている。

- 10 また、図20中、被駆動部L1～Lnは、状態制御信号L1ON～LnONにより駆動状態／非駆動状態が切り換えられるものとする。

消費電流検出部401は、電源ラインに挿入した小抵抗値を有する抵抗Rと、モータ駆動回路を含む被駆動部L1～Lnの消費電力を抵抗Rに発生する電圧に変換し、各1ビットのデジタルデータAD1、AD2で表される2ビットのデータに変換するA/D変換器405と、を備えて構成されている。

- 15 クロック選択部402は、デジタルデータAD1が入力され、反転デジタルデータ／AD1を出力する第1インバータ410と、デジタルデータAD2が入力され、反転デジタルデータ／AD2を出力する第2インバータ411と、一方の入力端子にデジタルデータAD1が入力され、他方の入力端子にデジタルデータAD2が入力され、第1クロック選択信号を出力する第1AND回路412と、一方の入力端子にデジタルデータAD1が入力され、他方の入力端子に反転デジタルデータ／AD2が入力され、第2クロック選択信号を出力する第2AND回路413と、一方の入力端子に反転デジタルデータ／AD1が入力され、他方の入力端子にデジタルデータAD2が入力され、第3クロック選択信号を出力する第3AND回路414と、一方の入力端子に反転デジタルデータ／AD1が入力され、他方の入力端子に反転デジタルデータ／AD2が入力され、第4クロック選択信号を出力する第4AND回路415と、一方の入力端子にパルス合成回路22が生成したクロック信号CL1が入力され、他方の入力端子に入力された第1クロック選択信号が“H”レベルの場合に、クロック信号CL1をクロック信号CKとして出力する第5AND回路416と、一方の入力端子にパルス合成回路22が生成したクロック信号CL2が
- 20
- 25

入力され、他方の入力端子に入力された第2クロック選択信号が“H”レベルの場合に、クロック信号CL2をクロック信号CKとして出力する第6AND回路417と、一方の入力端子にパルス合成回路22が生成したクロック信号CL3が入力され、他方の入力端子に入力された第3クロック選択信号が“H”レベルの場合に、クロック信号CL3をクロック信号CKとして出力する第7AND回路418と、一方の入力端子にパルス合成回路22が生成したクロック信号CL4が入力され、他方の入力端子に入力された第4クロック選択信号が“H”レベルの場合に、クロック信号CL4をクロック信号CKとして出力する第8AND回路419と、第5AND回路～第8AND回路の出力の論理和をとって、クロック信号CL1～CL4のいずれか一のクロック信号をクロック信号CKとして出力するOR回路420と、を備えて構成されている。

次に図20を参照して基準クロック出力回路の動作を説明する。

消費電流検出部401のA/D変換器405は、モータ駆動回路を含む被駆動部L1～Lnの消費電力を抵抗Rに発生する電圧を各1ビットのデジタルデータAD1、AD2で表される2ビットのデータに変換してクロック選択部402に出力する。

より具体的には、図21に示すように、A/D変換器405は、抵抗Rの両端に発生する電圧を4段階に分け、最も抵抗Rの両端の電圧が低い第1段階の場合には、

$$AD1 = 0, AD2 = 0$$

とし、同様に、

$$\text{第2段階: } AD1 = 0, AD2 = 1$$

$$\text{第3段階: } AD1 = 1, AD2 = 0$$

とし、最も抵抗Rの両端の電圧が高い第4段階の場合には、

$$AD1 = 1, AD2 = 1$$

とする。この場合において、抵抗Rの両端の電圧が第1段階から第4段階に向かうに従って、被駆動部L1～Lnにおける消費電力が増大していることになる。

一方、クロック選択部402の第1インバータ410は、デジタルデータAD1が入力され、反転デジタルデータ/AD1を第3AND回路414および第4AND回路415に出力する。また第2インバータ411は、デジタルデータAD2が入力され、反転デジタルデータ/AD2を第2AND回路413および第4AND

回路415に出力する。

これらの結果、抵抗Rの両端の電圧が第1段階の場合、すなわち、被駆動部L1～Lnの消費電力が最も低い場合には、第4AND回路415の出力のみが“H”レベルとなり、他の第1～第3AND回路412～414の出力は“L”レベルとなる。

5 従って、第5～第8AND回路416～419のうち、第8AND回路419のみが、クロック信号CL4をOR回路に出力し、第5～第7AND回路の出力416～418は常に“L”レベルとなり、OR回路420はクロック信号CL4をクロック信号CKとして出力することとなる。

10 また、抵抗Rの両端の電圧が第2段階の場合には、第3AND回路414の出力のみが“H”レベルとなり、他の第1、第2、第4AND回路412、414、415の出力は“L”レベルとなる。

15 従って、第7AND回路414が、クロック信号CL3をOR回路420に出力し、第5、第6、第8AND回路416、417、419の出力は常に“L”レベルとなり、OR回路420はクロック信号CL3をクロック信号CKとして出力することとなる。

さらに、抵抗Rの両端の電圧が第3段階の場合には、第2AND回路413の出力のみが“H”レベルとなり、他の第1、第3、第4AND回路412、414、415の出力は“L”レベルとなる。

20 従って、第6AND回路417が、クロック信号CL2をOR回路420に出力し、第5、第7、第8AND回路416、418、419の出力は常に“L”レベルとなり、OR回路420はクロック信号CL2をクロック信号CKとして出力することとなる。

25 さらにまた、抵抗Rの両端の電圧が第4段階の場合、すなわち、被駆動部L1～Lnの消費電力が最も高い場合には、第1AND回路412の出力のみが“H”レベルとなり、他の第2～第4AND回路413～415の出力は“L”レベルとなる。

従って、第5AND回路416が、クロック信号CL3をOR回路420に出力し、第6～第8AND回路417～419の出力は常に“L”レベルとなり、OR回路420はクロック信号CL1をクロック信号CKとして出力することとなる。

これらの結果、抵抗Rの両端電圧が大きい、すなわち、消費電力が大きいほど高周

波のクロック信号が選択され、単位時間当たりの電荷転送回数を多くすることができ、消費電力が大きな負荷の駆動に耐えることが可能となる。

[1. 3] 第1実施形態の動作

[1. 3. 1]

5 [1. 3. 2] 第1実施形態の動作

次に図22を参照して第1実施形態の動作を説明する。

初期状態において、発電状態検出回路91は動作状態、リミッタ回路LMは非動作状態、昇降圧回路49は非動作状態、リミッタオン電圧検出回路92Aは非動作状態、プレ電圧検出回路92Bは非動作状態、電源電圧検出回路92Cは動作状態にあるものとする。

また、初期状態においては、大容量2次電源48の電圧は、0.45[V]未満であるものとする。

さらに運針機構CS、CHMを駆動するための最低電圧は、1.2[V]未満に設定されているものとする。

15 [1. 3. 2. 1] 大容量2次電源電圧上昇時

[1. 3. 2. 1. 1] 0.0~0.62[V]時

大容量2次電源の電圧が0.45[V]未満の場合には、昇降圧回路49は、非動作状態にあり、電源電圧検出回路92Cにより検出される電源電圧も0.45[V]未満となるため、運針機構CS、CHMは非駆動状態のままである。

20 その後、発電状態検出回路91により発電装置40の発電が検出されると、プレ電圧検出回路92Bは、動作状態となる。

そして、大容量2次電源の電圧が0.45[V]を越えると、電源電圧検出回路92Cの電源電圧検出信号SPWに基づいて、リミッタ・昇降圧制御回路105が昇降圧回路49に3倍昇圧動作を行わせるべく制御を行う。

25 これにより昇降圧回路49は、3倍昇圧動作を行い、この3倍昇圧動作は、大容量2次電源の電圧が0.62[V]となるまで、リミッタ・昇降圧制御回路105により継続される。

この結果、補助コンデンサ80の充電電圧は、1.35[V]以上となり、運針機構CS、CHMは駆動状態となる。

なお、この場合において、発電状態によっては、例えば、計時装置を急激に振った場合などには、急激に電圧が上昇し、絶対定格電圧などを超過してしまう可能性があるため、3倍昇圧動作に移行させずに、2倍あるいは1.5倍昇圧などのように昇降圧倍率を発電状態に応じて制御すれば、より安定した動作電圧の供給が可能となる。

5 以下の場合においても同様である。

[1. 3. 2. 1. 2] 0.62 [V] ~ 0.83 [V] 時

大容量2次電源の電圧が0.62 [V] を越えると、電源電圧検出回路92Cの電源電圧検出信号SPWに基づいて、リミッタ・昇降圧制御回路105が昇降圧回路49に2倍昇圧動作を行わせるべく制御を行う。

10 これにより昇降圧回路49は、2倍昇圧動作を行い、この2倍昇圧動作は、大容量2次電源の電圧が0.83 [V] となるまで、リミッタ・昇降圧制御回路105により継続される。

この結果、補助コンデンサ80の充電電圧は、1.24 [V] 以上となり、運針機構CS、CHMは相変わらず、駆動状態を継続することとなる。

15 [1. 3. 2. 1. 3] 0.83 [V] ~ 1.23 [V] 時

大容量2次電源の電圧が0.83 [V] を越えると、電源電圧検出回路92Cの電源電圧検出信号SPWに基づいて、リミッタ・昇降圧制御回路105が昇降圧回路49に1.5倍昇圧動作を行わせるべく制御を行う。

20 これにより昇降圧回路49は、1.5倍昇圧動作を行い、この1.5倍昇圧動作は、大容量2次電源の電圧が1.23 [V] となるまで、リミッタ・昇降圧制御回路105により継続される。

この結果、補助コンデンサ80の充電電圧は、1.24 [V] 以上となり、運針機構CS、CHMは相変わらず、駆動状態を継続することとなる。

[1. 3. 2. 1. 4] 1.23 [V] 以上時

25 大容量2次電源の電圧が1.23 [V] を越えると、電源電圧検出回路92Cの電源電圧検出信号SPWに基づいて、リミッタ・昇降圧制御回路105が昇降圧回路49に最終的には1倍昇圧動作（ショートモード）、すなわち、非昇圧動作を行わせるべく制御を行う。

より詳細には、まず、昇降圧回路49は、クロック生成回路104（図11参照）

からのクロック信号CKからリミッタ・昇降圧制御回路105(図11参照)が生成した昇降圧クロックCKUDに基づいて電荷転送モードにおける充電サイクルと、電荷転送サイクルとを交互に繰り返す。

そして、充電サイクル時には、図3(b)に示したように、第1の昇降圧クロック
5 タイミング(パラレル接続タイミング)においては、スイッチSW1をオン、スイッチSW2をオフ、スイッチSW3をオン、スイッチSW4をオフ、スイッチSW11をオン、スイッチSW12をオフ、スイッチSW13をオン、スイッチSW14をオフ、スイッチSW21をオフとし、大容量2次電源48に対し、コンデンサ49aおよびコンデンサ49bがパラレルに接続されて、大容量2次電源48の電圧でコンデンサ49aおよびコンデンサ49bが充電される。
10

そして、電荷転送サイクル時には、図3(b)に示すように、第2の昇降圧クロックタイミング(シリアル接続タイミング)においては、スイッチSW1をオン、スイッチSW2をオフ、スイッチSW3をオフ、スイッチSW4をオン、スイッチSW11をオン、スイッチSW12をオフ、スイッチSW13をオフ、スイッチSW14を
15 オン、スイッチSW21をオフとし、補助コンデンサ80に対し、コンデンサ49aおよびコンデンサ49bがパラレルに接続されて、コンデンサ49aおよびコンデンサ49bの電圧、すなわち、大容量2次電源48の電圧で補助コンデンサ80が充電され、電荷転送がなされることとなる。

そして、補助コンデンサの充電状態が進んで、ショートモードに移行させても電源
20 電圧変動が少ないと認められる電圧になると、ショートモードに移行させる。

これにより昇降圧回路49は、1倍昇圧動作(ショートモード)を行い、この1倍昇圧動作は、大容量2次電源48の電圧が1.23[V]未満となるまで、リミッタ・昇降圧制御回路105により継続される。

この結果、補助コンデンサ80の充電電圧は、1.23[V]以上となり、運針機
25 構CS、CHMは相変わらず、駆動状態を継続することとなる。

そして、プレ電圧検出回路92Bにより大容量2次電源48の電圧がプレ電圧VPRE(図12では、2.3[V])を超過すると、プレ電圧検出回路92Bはリミッタ動作許可信号SLMENをリミッタオン電圧検出回路92Aに出力し、リミッタオン電圧検出回路92Aは、動作状態に移行し、大容量2次電源48の充電電圧VCと、予め

定めたリミッタオン基準電圧VLMONと、所定サンプリング間隔で比較することによりリミッタ回路LMを動作状態とするか否かを検出する。

この場合において、発電部Aは断続的に発電を行うものであり、その発電周期が第1周期以上の間隔であるとした場合に、リミッタオン電圧検出回路9.2 Aは、第1周期以下の周期である第2周期を有するサンプリング間隔で検出を行っている。

そして、大容量2次電源48の充電電圧VCが2.5[V]を超過すると、リミッタ回路LMをオン状態とすべく、リミッタオン信号SLMONをリミッタ回路LMに出力する。

この結果、リミッタ回路LMは、発電部Aを大容量2次電源48から電氣的に切り離されることとなる。

これにより、過大な発電電圧VGENが大容量2次電源48に印加されることがなくなり、大容量2次電源の耐圧を越えた電圧が印加されることによる大容量2次電源48の破損、ひいては、計時装置1の破損を防止することが可能となっている。

その後、発電検出部9.1において、発電が検出されなくなり、発電状態検出部9.1から発電状態検出信号SPDETが出力されなくなると、大容量2次電源48の充電電圧VCに拘わらず、リミッタ回路LMはオフ状態となり、リミッタオン電圧検出回路9.2 A、プレ電圧検出回路9.2 Bおよび電源電圧検出回路9.2 Cは、非動作状態となる。

[1.3.2.1.5] 昇圧倍率増加時の処理

リミッタ回路LMのオン状態において、大容量2次電源48の電圧を昇降圧回路4.9により昇圧している最中である場合には、安全確保のため、昇圧倍率を低下させ、あるいは、昇圧動作を停止する必要がある。

より一般的には、リミッタオン電圧検出回路9.2 Aにおける検出結果に基づいて発電装置40における発電電圧が予め定めたリミッタオン電圧以上となり、かつ、電源昇降圧回路4.9が昇圧を行っている場合に昇圧倍率Nを昇圧倍率N' (N' は、実数、かつ、 $1 \leq N' < N$) に設定すれば良い。

これは、非発電状態から発電状態に移行した場合のように、急激な電圧上昇が想定される場合に、昇圧していることに起因する絶対定格電圧超過などによる破損を確実に防止するためである。

[1.3.2.2] 大容量2次電源電圧下降時

[1. 3. 2. 2. 1] 1. 20 [V] 以上時

大容量 2 次電源 4 8 の充電電圧 VC が 2. 5 [V] を超過した状態では、リミッタ
オン信号 SLMON をリミッタ回路 LM に出力されており、リミッタ回路 LM をオン状態
となつて、リミッタ回路 LM は、発電部 A を大容量 2 次電源 4 8 から電氣的に切り離
5 された状態となっている。

この状態においては、リミッタオン電圧検出回路 9 2 A、プレ電圧検出回路 9 2 B
および電源電圧検出回路 9 2 C は、全て動作状態となっている。

その後、大容量 2 次電源 4 8 充電電圧 VC が 2. 5 [V] 未満となると、リミッタ
オン電圧検出回路 9 2 A は、リミッタ動作許可信号 SLMEN をリミッタ回路 LM に出力
10 するのを停止し、リミッタ回路 LM はオフ状態となる。

さらに大容量 2 次電源 4 8 の充電電圧 VC が低下し、2. 3 [V] 未満となると、
プレ電圧検出回路 9 2 B はリミッタ動作許可信号 SLMEN をリミッタオン電圧検出回
路 9 2 A に出力しなくなり、リミッタオン電圧検出回路 9 2 A は、非動作状態に移行
し、リミッタ回路 LM は、オフ状態となる。

15 なお、上記常態化においては、電源電圧検出回路 9 2 C の電源電圧検出信号 SPW に
基づいて、リミッタ・昇降圧制御回路 1 0 5 が昇降圧回路 4 9 に 1 倍昇圧動作、すな
わち、非昇圧動作を行わせるべく制御を行っており、運針機構 CS、CHM は相変わらず、
駆動状態を継続することとなる。

[1. 3. 2. 2. 2] 1. 20 [V] ~ 0. 80 [V] 時

20 大容量 2 次電源の電圧が 1. 23 [V] 未満となると、電源電圧検出回路 9 2 C の
電源電圧検出信号 SPW に基づいて、リミッタ・昇降圧制御回路 1 0 5 が昇降圧回路 4
9 に 1. 5 倍昇圧動作を行わせるべく制御を行う。

これにより昇降圧回路 4 9 は、1. 5 倍昇圧動作を行い、この 1. 5 倍昇圧動作は、
大容量 2 次電源の電圧が 0. 80 [V] となるまで、リミッタ・昇降圧制御回路 1 0
25 5 により継続される。

この結果、補助コンデンサ 8 0 の充電電圧は、1. 2 [V] 以上 1. 8 [V] 未満
となり、運針機構 CS、CHM は相変わらず、駆動状態を継続することとなる。

[1. 3. 2. 2. 3] 0. 80 [V] ~ 0. 60 [V] 時

大容量 2 次電源の電圧が 0. 80 [V] 未満となると、電源電圧検出回路 9 2 C の

電源電圧検出信号 SPWに基づいて、リミッタ・昇降圧制御回路 105 が昇降圧回路 49 に 2 倍昇圧動作を行わせるべく制御を行う。

これにより昇降圧回路 49 は、2 倍昇圧動作を行い、この 2 倍昇圧動作は、大容量 2 次電源の電圧が 0.60 [V] となるまで、リミッタ・昇降圧制御回路 105 により継続される。

この結果、補助コンデンサ 80 の充電電圧は、1.20 [V] 以上 1.6 [V] 未満となり、運針機構 CS、CHM は相変わらず、駆動状態を継続することとなる。

[1.3.2.2.4] 0.6 [V] ~ 0.45 [V] 時

大容量 2 次電源の電圧が 0.6 [V] 未満となると、電源電圧検出回路 92 C の電源電圧検出信号 SPWに基づいて、リミッタ・昇降圧制御回路 105 が昇降圧回路 49 に 3 倍昇圧動作を行わせるべく制御を行う。

これにより昇降圧回路 49 は、3 倍昇圧動作を行い、この 3 倍昇圧動作は、大容量 2 次電源の電圧が 0.45 [V] となるまで、リミッタ・昇降圧制御回路 105 により継続される。

この結果、補助コンデンサ 80 の充電電圧は、1.35 [V] 以上 1.8 [V] 未満となり、運針機構 CS、CHM は駆動状態となる。

[1.3.2.2.5] 0.45 [V] 未満

大容量 2 次電源 48 の電圧が 0.45 [V] 未満となった場合には、昇降圧回路 49 を非動作状態とし、運針機構 CS、CHM は非駆動状態として、大容量 2 次電源 48 の充電のみを行う。

これにより昇圧にともなう無駄な電力消費を低減し、運針機構 CS、CHM の再駆動までの時間を短縮することができる。

[1.3.2.2.6] 昇圧倍率低下時の処理

前回の昇圧倍率を低下させた（例えば、2 倍 → 1.5 倍）タイミングから実際の充電電圧 V_c が安定するのに十分な期間が経過するまでは、昇圧倍率の再度の低下は行わないようにする必要がある。

これは、昇圧倍率を低下させたとしても、実際の昇圧後の電圧は一瞬にして変化するわけではなく、徐々に昇圧倍率低下後の電圧に近づいて行くこととなるため、昇圧倍率が低くなりすぎてしまうからである。

より一般的には、昇圧倍率 N (N は実数)を昇圧倍率 N' (N' は、実数、かつ、 $1 \leq N' < N$)に変更したタイミングから予め定めた所定の倍率変更禁止時間が経過したか否かを判別し、前回の前記昇圧倍率 N を前記昇圧倍率 N' に変更したタイミングから予め定めた所定の倍率変更禁止時間が経過するまでは、昇圧倍率の変更を禁止すればよい。

[1. 4] 第1実施形態の効果

以上の説明のように、本第1実施形態によれば、大容量2次電源48から昇降圧回路を介して昇降圧倍率 M' (M' は1以外の正の実数)で補助コンデンサ80への電荷の転送を行っている状態から大容量2次電源48と補助コンデンサ80とを電氣的に直結する状態に移行させるに際し、大容量2次電源48から前記昇降圧回路を介して昇降圧倍率 $M=1$ の非昇降圧状態で補助コンデンサ80への前記電気エネルギーの転送を行わせ、大容量2次電源48と補助コンデンサ80の電位差を所定電位差未満とするので、昇圧倍率の変更による急激な電源電圧変動を招くことがないので、電源電圧の急激な電圧変動に伴う電子機器、特に携帯用電子機器(計時装置)の誤動作を防止することができる。

[2] 第2実施形態

上記第1実施形態において説明したように、図20および図21においては、消費電力を検出し、検出した消費電力に基づいて、単位時間当たりの電荷転送回数を設定していたが、本第2実施形態は、転送回数を記憶するROM(転送回数記憶手段として機能)を備え、被駆動部 $L_1 \sim L_n$ に対応する状態制御信号 $L_{1ON} \sim L_{nON}$ に基づいてROMの記憶内容を呼び出し、パルス合成回路22が生成したクロック信号に基づいて負荷の大小に対応するクロック信号 CK をクロック選択部(転送回数判別手段として機能)により出力するものである。以下の説明においては、説明の簡略化のため、被駆動部が3つの場合、すなわち、被駆動部 $L_1 \sim L_3$ を備える場合について説明し、負荷の大きさは、

$$(\text{負荷 大}) \quad L_1 > L_2 > L_3 \quad (\text{負荷 小})$$

であるものとする。

まず、図23を参照して本第2実施形態の構成について説明する。

基準クロック信号出力回路 4 5 0 は、大別すると、被駆動部 L 1 ～ L 3 の駆動状態／被駆動状態に対応する状態制御信号 L 1 0 N ～ L 3 0 N の信号状態に基づいて出力端子 D 1 ～ D 8 のうちいずれか一の出力端子を “H” レベルとする R O M 4 5 1 と、R O M の出力端子 D 1 ～ D 8 の信号状態に基づいて、パルス合成回路 2 2 が生成したクロック信号 C L 1 ～ C L 8 を選択して昇降圧制御クロックの基準となるクロック信号 C K として昇降圧倍率制御用クロック生成回路 2 0 2 に出力するクロック選択部 4 5 2 と、を備えて構成されている。

クロック選択部 4 5 2 は、一方の入力端子に出力端子 D 1 が接続され、他方の入力端子にパルス合成回路 2 2 が生成したクロック信号 C L 8 が入力され、出力端子 D 1 が “H” レベルの場合に、クロック信号 C L 8 をクロック信号 C K として出力する第 1 A N D 回路 4 5 2 - 1 と、一方の入力端子に出力端子 D 2 が接続され、他方の入力端子にパルス合成回路 2 2 が生成したクロック信号 C L 7 が入力され、出力端子 D 2 が “H” レベルの場合に、クロック信号 C L 7 をクロック信号 C K として出力する第 2 A N D 回路 4 5 2 - 2 と、一方の入力端子に出力端子 D 3 が接続され、他方の入力端子にパルス合成回路 2 2 が生成したクロック信号 C L 6 が入力され、出力端子 D 3 が “H” レベルの場合に、クロック信号 C L 6 をクロック信号 C K として出力する第 3 A N D 回路 4 5 2 - 3 (図示せず) と、一方の入力端子に出力端子 D 4 が接続され、他方の入力端子にパルス合成回路 2 2 が生成したクロック信号 C L 5 が入力され、出力端子 D 4 が “H” レベルの場合に、クロック信号 C L 5 をクロック信号 C K として出力する第 4 A N D 回路 4 5 2 - 4 (図示せず) と、一方の入力端子に出力端子 D 5 が接続され、他方の入力端子にパルス合成回路 2 2 が生成したクロック信号 C L 4 が入力され、出力端子 D 5 が “H” レベルの場合に、クロック信号 C L 4 をクロック信号 C K として出力する第 5 A N D 回路 4 5 2 - 5 (図示せず) と、一方の入力端子に出力端子 D 6 が接続され、他方の入力端子にパルス合成回路 2 2 が生成したクロック信号 C L 3 が入力され、出力端子 D 6 が “H” レベルの場合に、クロック信号 C L 3 をクロック信号 C K として出力する第 6 A N D 回路 4 5 2 - 6 (図示せず) と、一方の入力端子に出力端子 D 7 が接続され、他方の入力端子にパルス合成回路 2 2 が生成したクロック信号 C L 2 が入力され、出力端子 D 7 が “H” レベルの場合に、クロック信号 C L 2 をクロック信号 C K として出力する第 7 A N D 回路 4 5 2 - 7 (図示せず) と、一

5 方の入力端子に出力端子D 8が接続され、他方の入力端子にパルス合成回路2 2が生成したクロック信号CL 1が入力され、出力端子D 8が“H”レベルの場合に、クロック信号CL 1をクロック信号CKとして出力する第8 AND回路4 5 2-8と、第1 AND回路～第8 AND回路の出力の論理和をとって、クロック信号CL 1～CL 8のいずれか一のクロック信号をクロック信号CKとして出力するOR回路4 5 3と、を備えて構成されている。

ここで、図2 3および図2 4を参照して動作を説明する。

10 図2 4に示すように、被駆動部L 1～L 3に対応する状態制御信号L 1 0N～L 3 0Nの状態に応じて、ROMの出力端子D 1～D 8のいずれかが排他的に“H”レベルとなる。

より具体的に、一例を挙げて説明する。

例えば、被駆動部L 1～L 3の全てが非駆動状態にある場合には、状態制御信号L 1 0N～L 3 0Nは全て“L”レベル、すなわち、“0”であるため、ROM 4 5 1の出力端子D 1のみが“H”レベルとなる。

15 この結果、クロック選択部4 5 2の第1 AND回路4 5 2-1の一方の端子が“H”レベルとなり、第1 AND回路4 5 2-1の出力端子からクロック信号CL 8がOR回路に出力される。

また、第2～第8 AND回路4 5 2-2～4 5 2-8の出力は全て“L”レベルとなる。

20 従って、OR回路4 5 3からはクロック信号CL 8がクロック信号CKとして出力されることとなる。

同様に、被駆動部L 2のみが駆動状態にある場合には、状態制御信号L 2 0Nが“H”レベル、すなわち、“1”、状態制御信号L 1 0N、L 3 0Nは“L”レベル、すなわち、“0”であるため、ROM 4 5 1の出力端子D 3のみが“H”レベルとなる。

25 この結果、第3 AND回路4 5 2-3の一方の端子が“H”レベルとなり、第3 AND回路の出力端子からクロック信号CL 6がOR回路に出力される。

また、第1、第2、第4～第8 AND回路4 5 2-1、4 5 2-2～4 5 2-8の出力は全て“L”レベルとなる。

従って、OR回路4 5 3からはクロック信号CL 6がクロック信号CKとして出力されることとなる。

さらに被駆動部 L 1 ~ L 3 の全てが駆動状態にある場合には、状態制御信号 L 1 0 N ~ L 3 0 N は全て “H” レベル、すなわち、“1” であるため、ROM 4 5 1 の出力端子 D 8 のみが “H” レベルとなる。

この結果、第 8 AND 回路 4 5 2-8 の一方の端子が “H” レベルとなり、第 8 AND 回路 4 5 2-8 の出力端子からクロック信号 C L 1 が OR 回路 4 5 3 に出力される。

また、第 1 ~ 第 7 AND 回路 4 5 2-1 ~ 4 5 2-7 の出力は全て “L” レベルとなる。従って、OR 回路 4 5 3 からはクロック信号 C L 1 がクロック信号 C K として出力されることとなる。

他の動作および効果については、第 1 実施形態と同様である。

10 [3] 第 3 実施形態

次に昇降圧用のコンデンサの容量値に基づいて転送回数を決定する場合に用いられるパルス合成回路を有する第 3 実施形態の構成について説明する。

本第 3 実施形態のパルス合成回路 2 2 A は、第 2 実施形態のパルス合成回路 2 2 に代えて用いることが可能となっている。

15 図 2 5 に第 3 実施形態のパルス合成回路の概要構成ブロック図を示す。

パルス合成回路 2 2 A は、図 2 5 に示すように、発振器 2 1 の基準パルス信号を分周して第 1 分周信号 S 1 を出力する第 1 分周回路 5 0 1 と、第 1 分周信号 S 1 がクロック端子に入力され、1 / 2 分周して第 2 分周信号 S 2 として出力する 1 / 2 分周回路 5 0 2 と、昇降圧用のコンデンサの容量が所定の基準容量より大きい場合に “H”
20 レベルとなるコンデンサ容量信号 S C N D に基づいて第 1 分周信号 S 1 あるいは第 2 分周信号 S 2 のいずれかを選択的に出力する選択回路 5 0 3 と、選択回路 5 0 3 の出力信号を分周してクロック信号 C L 1 ~ C L 8 を生成する第 2 分周回路 5 0 4 と、を備えて構成されている。

選択回路 5 0 3 は、一方の入力端子に第 2 分周信号 S 2 が入力され、他方の入力端子にコンデンサ容量信号 S C N D が入力される第 1 AND 回路 5 0 5 と、コンデンサ容量信号 S C N D を反転して反転コンデンサ容量信号 / S C N D を出力するインバータ 5 0 6 と、一方の入力端子に第 1 分周信号 S 1 が入力され、他方の入力端子に反転コンデンサ容量信号が入力される第 2 AND 回路 5 0 7 と、一方の入力端子に第 1 AND 回路 5 0 5 が接続され、他方の入力端子に第 2 AND 回路 5 0 7 が接続された OR 回路

508と、を備えて構成されている。

次に動作を説明する。

パルス合成回路22Aの第1分周回路501は、発振器21の基準パルス信号を分周して第1分周信号S1を1/2分周回路502および選択回路503の第2AND回路507に出力する。

1/2分周回路502は、第1分周信号S1を1/2分周して第2分周信号S2として第1AND回路505に出力する。

一方、インバータ506は、コンデンサ容量信号SCNDを反転して反転コンデンサ容量信号/SCNDを第2AND回路507に出力する。

これらの結果、昇降圧用のコンデンサ容量信号SCNDが“H”レベルの場合、すなわち、コンデンサの容量が所定の基準容量より大きい場合には、第2分周信号S2がOR回路508に出力され、コンデンサ容量信号SCNDが“L”レベルの場合、すなわち、昇降圧用のコンデンサの容量が所定の基準容量より小さい場合には、第1分周信号S1がOR回路508に出力されることとなる。

これにより第2分周回路504は、選択回路503の出力信号を分周してクロック信号CL1~CL8を生成するので、コンデンサの容量が基準容量より大きい場合には、分周することにより生成されるクロック信号CL1~CL8の周波数は、コンデンサの基準容量が小さい場合に生成されるクロック信号CL1~CL8の周波数よりもそれぞれ1/2倍の値を有していることとなる。

このことは、昇降圧用のコンデンサの容量が小さい場合には、1回あたりの電荷転送量が小さいので、転送回数、すなわち、転送クロックを大きくし、昇降圧用のコンデンサの容量が大きい場合には、1回あたりの電荷転送量が大きいので、転送回数を低減させるべく、転送クロックを小さくするのである。

本第3実施形態によれば、昇降圧用のコンデンサの容量に応じて最適な転送クロックを得ることが可能となり、より効率的な電荷転送を行うことができる。

[4] 第4実施形態

上記各実施形態においては、電荷転送時においても、強制的に負荷の駆動を停止することはなかったが、本第4実施形態においては、電荷転送時に高負荷の被駆動部の駆動を強制的に禁止している。

図 2 6 に第 4 実施形態の計時装置の要部の概要構成図を示す。

計時装置 1 A は、4 つの被駆動部 L 1 ~ L 4 を備えており、被駆動部 L 1 および被駆動部 L 2 は、被駆動部 L 3 および被駆動部 L 4 に比較して、高負荷となっているものとする。

- 5 さらに計時装置 1 A は、昇降圧倍率が 1.5 倍昇圧から 1 倍昇圧 (= 非昇降圧) に移行した場合、あるいは、昇降圧倍率が 1/2 倍降圧から 1 倍昇圧に移行した場合に、クロック信号 CL の 1 ~ 2 周期 (この範囲で不定) の期間、すなわち、電荷転送時に “H” レベルとなる電荷転送モード信号 STRN を反転して反転電荷転送モード信号 / STRN を出力するインバータ 5 2 1 と、一方の入力端子に被駆動部 L 1 を駆動状態とする際に “H” レベル、被駆動部 L 1 を非駆動状態とする際に “L” レベルとなる状態制御信号 L 1 ON が入力され、他方の入力端子に反転電荷転送モード信号 / STRN が
- 10 入力され、非電荷転送モード時には状態制御信号 L 1 ON に基づいて駆動状態 / 非駆動状態を切り換え、電荷転送モード時には状態制御信号 L 1 ON の信号レベルに拘わらず被駆動部 L 1 を強制的に非駆動状態とするための AND 回路 5 2 2 と、一方の入力端子に被駆動部 L 2 を駆動状態とする際に “H” レベル、被駆動部 L 1 を非駆動状態とする際に “L” レベルとなる状態制御信号 L 2 ON が入力され、他方の入力端子に反転電荷転送モード信号 / STRN が入力され、非電荷転送モード時には状態制御信号 L 2 ON に基づいて駆動状態 / 非駆動状態を切り換え、電荷転送モード時には状態制御信号 L 2 ON の信号レベルに拘わらず被駆動部 L 2 を強制的に非駆動状態とする AND 回
- 15 路 5 2 3 と、を備えて構成されている。
- 20 この場合において、インバータ 5 2 1、AND 回路 5 2 2 および AND 回路 5 2 3 は、転送時高負荷駆動禁止手段として機能している。

次に動作を説明する。

まず、非転送モード時の動作について説明する。

- 25 非転送モード時には、電荷転送モード信号 STRN は “L” レベルであるので、インバータ 5 2 1 から出力される反転電荷転送モード信号 / STRN は “H” レベルとなる。

従って、AND 回路 5 2 2 は、状態制御信号 L 1 ON に基づいて駆動状態 / 非駆動状態を切り換え、AND 回路 5 2 3 は、状態制御信号 L 2 ON に基づいて駆動状態 / 非駆

動状態を切り換えることとなる。

このとき、被駆動部 L 3 は、状態制御信号 L 3 ON に基づいて駆動状態／非駆動状態を切り換え、被駆動部 L 4 は、状態制御信号 L 4 ON に基づいて駆動状態／非駆動状態を切り換えることとなる。

- 5 一方、転送モード時においては、電荷転送モード信号 STRN は “H” レベルであるので、インバータ 5 2 1 から出力される反転電荷転送モード信号／STRN は “L” レベルとなる。

従って、AND 回路 5 2 2 は、状態制御信号 L 1 ON の信号レベルに拘わらずに “L” レベルを出力することとなり、被駆動部 L 1 は非駆動状態となる。

- 10 同様に AND 回路 5 2 2 は、状態制御信号 L 2 ON の信号レベルに拘わらずに “L” レベルを出力することとなり、被駆動部 L 2 は非駆動状態となる。

この場合においても、被駆動部 L 3 は、状態制御信号 L 3 ON に基づいて駆動状態／非駆動状態を切り換え、被駆動部 L 4 は、状態制御信号 L 4 ON に基づいて駆動状態／非駆動状態を切り換えることとなる。

- 15 従って、本第 4 実施形態によれば、電荷転送モード時には、高負荷の被駆動部 L 1、L 2 は、常に非駆動状態となって、計時装置の安定駆動を行うことが可能となる。

すなわち、電荷転送サイクルを上げても電荷転送モードにおける電力供給能力では、後段の回路を安定して駆動できず、1 倍昇圧時（ショートモード）でのみ駆動可能な高消費電力の後段回路（例えば、モータ駆動回路、アラーム駆動回路、センサ駆動回路、照明装置駆動回路等）を駆動する場合には、電荷転送モードでの高消費電力の後段回路の動作を禁止し、電源電圧の安定化を図ることができるので、高消費電力の後段回路を動作させることにより電源電圧が低下し、中央制御回路 9 3 やパルス合成回路 2 2 などが誤動作することを防止でき、しかも、これらの高消費電力の後段回路の動作を安定させることができる。

- 25 [5.] 実施形態の変形例

[5. 1] 第 1 変形例

以上の説明においては、1. 5 倍昇圧から 1 倍昇圧（非昇降圧）に移行させる際に電荷転送モードを介して昇圧倍率を変更する場合について説明したが、L（L は 1 未満の正の実数）倍降圧から 1 倍昇圧（非昇降圧）に移行させる際にも電荷転送モード

を介して昇圧倍率を変更する場合にも適用することが可能である。

この場合においても、補助コンデンサ 80 と大容量 2 時電源 48 との間で急激に電荷が移動することがなくなり、安定した電源供給を行うことができる。

[5. 2] 第 2 変形例

- 5 以上の説明における各種電圧値は、一例であり、対応する電子機器（携帯用電子機器）に応じて適宜変更されることは当然である。

[5. 3] 第 3 変形例

- 10 上記実施形態においては、2つのモータで時分および秒を表示する計時装置を例に説明しているが、時分および秒を一つのモータを用いて時刻表示する計時装置についても本発明の適用が可能である。

逆に 3 個以上のモータ（秒針、分針、時針、カレンダー、クロノグラフなどを個別に制御するモータ）を有する計時装置についても本発明の適用が可能である。

[5. 4] 第 4 変形例

- 15 上記実施形態では、発電装置 40 として、回転錘 45 の回転運動をロータ 43 に伝達し、該ロータ 43 の回転により出力用コイル 44 に起電力 V_{gen} を発生させる電磁発電装置を採用しているが、本発明はこれに限定されることなく、例えば、ゼンマイの復元力（第 1 のエネルギーに相当）により回転運動を生じさせ、該回転運動で起電力を発生させる発電装置や、外部あるいは自励による振動または変位（第 1 のエネルギーに相当）を圧電体に加えることにより、圧電効果によって電力を発生させる発電装置であってもよい。

20 さらに太陽光等の光エネルギー（第 1 のエネルギーに相当）を利用した光電変換により電力を発生させる発電装置であっても良い。

さらにまた、ある部位と他の部位との温度差（熱エネルギー；第 1 のエネルギーに相当）による熱発電により電力を発生させる発電装置であっても良い。

- 25 また、放送、通信電波などの浮遊電磁波を受信し、そのエネルギー（第 1 のエネルギーに相当）を利用した電磁誘導型発電装置を用いるように構成することも可能である。

また、異なる発電装置を複数用いた構成を採ることも可能である。

[5. 5] 第 5 変形例

上記実施形態では、腕時計型の計時装置 1 を一例として説明したが、本発明はこれに限定されるものではなく、腕時計以外にも、懐中時計などであってもよい。また、電卓、携帯電話、携帯用パーソナルコンピュータ、電子手帳、携帯ラジオ、携帯型 VTR などの各種電子機器、特に携帯用電子機器に適用することもできる。

5 [5. 6] 第 6 変形例

上記実施形態においては、基準電位 (GND) を V_{dd} (高電位側) に設定したが、基準電位 (GND) を V_{ss} (低電位側) に設定してもよいことは勿論である。この場合には、設定電圧値 V_o および V_{bas} は、 V_{ss} を基準として、高電圧側に設定される検出レベルとの電位差を示すものとなる。

10 [6] 実施形態の効果

上記各実施形態によれば、第 1 の電源から電源昇降圧回路を介して昇降圧倍率 M' (M' は 1 以外の正の実数) で第 2 の電源への電気エネルギーの転送を行っている状態から第 1 の電源と第 2 の電源とを電氣的に直結する状態に移行させるに際し、第 1 の電源から電源昇降圧回路を介して昇降圧倍率 $M = 1$ の非昇降圧状態で第 2 の電源
15 への電気エネルギーの転送を行わせ、第 1 の電源と第 2 の電源の電位差を所定電位差未満とするので、昇圧倍率の変更による急激な電源電圧変動を招くことがなく、電源電圧の急激な電圧変動に伴う電子機器 (携帯用電子機器) の誤動作を防止することができる。

請 求 の 範 囲

1. 第1のエネルギーを第2のエネルギーである電気エネルギーに変換することにより発電を行う発電手段と、

5 前記発電により得られた電気エネルギーを蓄える第1電源手段と、

前記第1電源手段から供給される電気エネルギーの電圧を電圧変換倍率 M (M は正の実数) で変換する電源電圧変換手段と、

前記電源電圧変換手段を介して前記第1電源手段に蓄えられた電気エネルギーが転送され、転送された電気エネルギーを蓄える第2電源手段と、

10 前記第1電源手段または前記第2電源手段から供給される電気エネルギーにより駆動される被駆動手段と、

前記第1電源手段から前記電源電圧変換手段を介して電圧変換倍率 M' (M' は1以外の正の実数) で前記第2電源手段への前記電気エネルギーの転送を行っている状態から前記第1電源手段と前記第2電源手段とを電氣的に直結する状態に移行させるに際し、前記第1電源手段から前記電源電圧変換手段を介して電圧変換倍率 $M=1$

15 の非電圧変換状態で前記第2電源手段への前記電気エネルギーの転送を行わせ、前記第1電源手段と前記第2電源手段の電位差を所定電位差未満とする非電圧変換転送制御手段と、

を備えたことを特徴とする電子機器。

20 2. 請求の範囲第1項記載の電子機器において、

前記第2電源手段への前記電気エネルギーの転送は、前記電源電圧変換手段に前記第1電源手段からの電気エネルギーを蓄える蓄電サイクルと、前記電源電圧変換手段に蓄えた前記電気エネルギーを前記第2電源手段に転送する転送サイクルと、により実現され、

25 前記非電圧変換転送制御手段は、前記蓄電サイクルと前記転送サイクルとを繰り返すに際し、前記転送サイクルの単位時間当たりの回数である転送回数を要求される電気エネルギー転送能力に基づいて変化させる転送回数制御手段を備えたことを特徴とする電子機器。

3. 請求の範囲第2項記載の電子機器において、

前記転送回数制御手段は、前記被駆動手段の消費電力に基づいて前記転送回数を定めることを特徴とする電子機器。

4. 請求の範囲第3項記載の電子機器において、

前記被駆動手段の消費電力を検出する消費電力検出手段を備えたことを特徴とする電子機器。

5. 請求の範囲第2項記載の電子機器において、

前記転送回数制御手段は、複数の被駆動手段に対応する前記転送回数を予め記憶する転送回数記憶手段と、

前記複数の被駆動手段のうち実際に駆動しようとする被駆動手段に対応させて前記転送回数記憶手段から読み出すべき前記転送回数を判別する転送回数判別手段と、
を備えたことを特徴とする電子機器。

6. 請求の範囲第2項記載の電子機器において、

前記電源電圧変換手段は、電圧変換を行うための昇降圧用コンデンサを有し、

前記転送回数制御手段は、前記昇降圧用コンデンサの容量に基づいて前記転送回数を定めることを特徴とする電子機器。

7. 請求の範囲第2項記載の電子機器において、

前記転送回数制御手段は、1回の前記転送サイクルにおいて、転送可能な電気エネルギー量を Q_0 とし、前記単位時間当たりの転送回数を N とし、前記被駆動手段の前記単位時間当たりの消費電力を Q_{DRV} とした場合に、次式を満たすように前記単位時間当たりの転送回数 N を定めることを特徴とする電子機器。

$$Q_{DRV} \leq Q_0 \times N$$

8. 請求の範囲第1項記載の電子機器において、

前記非電圧変換転送制御手段は、前記非電圧変換状態で前記第2電源手段への前記電気エネルギーの転送を行わせている状態においては、前記転送で供給可能な電気エネルギーに相当する電力を越える電力を消費する前記被駆動手段の駆動を禁止する転送時高負荷駆動禁止手段を備えたことを特徴とする電子機器。

9. 請求の範囲第1項記載の電子機器において、

前記被駆動手段は、時刻表示を行う計時手段を備えたことを特徴とする電子機器。

10. 第1のエネルギーを第2のエネルギーである電気エネルギーに変換するこ

とにより発電を行う発電装置と、前記発電により得られた電気エネルギーを蓄える第1電源装置と、前記第1電源装置から供給される電気エネルギーの電圧を電圧変換倍率 M (M は正の実数)で電圧変換する電源電圧変換装置と、前記電源電圧変換装置を介して前記第1電源装置に蓄えられた電気エネルギーが転送され、転送された電気エネルギーを蓄える第2電源装置と、前記第1電源装置または前記第2電源装置から供給される電気エネルギーにより駆動される被駆動装置と、を備えた電子機器の制御方法において、

前記第1電源装置から前記電源電圧変換装置を介して電圧変換倍率 M' (M' は1以外の正の実数)で前記第2電源装置への前記電気エネルギーの転送を行っている状態から前記第1電源装置と前記第2電源装置とを電氣的に直結する状態に移行させるに際し、前記第1電源装置から前記電源電圧変換装置を介して電圧変換倍率 $M=1$ の非電圧変換状態で前記第2電源装置への前記電気エネルギーの転送を行わせ、前記第1電源装置と前記第2電源装置の電位差を所定電位差未満とする非電圧変換転送制御工程を備えたことを特徴とする電子機器の制御方法。

11. 請求の範囲第10項記載の電子機器の制御方法において、

前記第2電源装置への前記電気エネルギーの転送は、前記電源電圧変換装置に前記前記第1電源装置からの電気エネルギーを蓄える蓄電サイクルと、前記電源電圧変換装置に蓄えた前記電気エネルギーを前記第2電源装置に転送する転送サイクルと、により実現され、

前記非電圧変換転送制御工程は、前記蓄電サイクルと前記転送サイクルとを繰り返すに際し、前記転送サイクルの単位時間当たりの回数である転送回数を要求される電気エネルギー転送能力に基づいて変化させる転送回数制御工程を備えたことを特徴とする電子機器の制御方法。

12. 請求の範囲第11項記載の電子機器の制御方法において、

前記転送回数制御工程は、前記被駆動装置の消費電力に基づいて前記転送回数を定めることを特徴とする電子機器の制御方法。

13. 請求の範囲第12項記載の電子機器の制御方法において、

前記被駆動装置の消費電力を検出する消費電力検出工程を備えたことを特徴とする電子機器の制御方法。

14. 請求の範囲第11項記載の電子機器の制御方法において、
前記転送回数制御工程は、予め記憶した複数の被駆動装置に対応する前記転送回数のうち実際に駆動しようとする被駆動装置に対応させて前記転送回数を判別する転送回数判別工程を備えたことを特徴とする電子機器の制御方法。

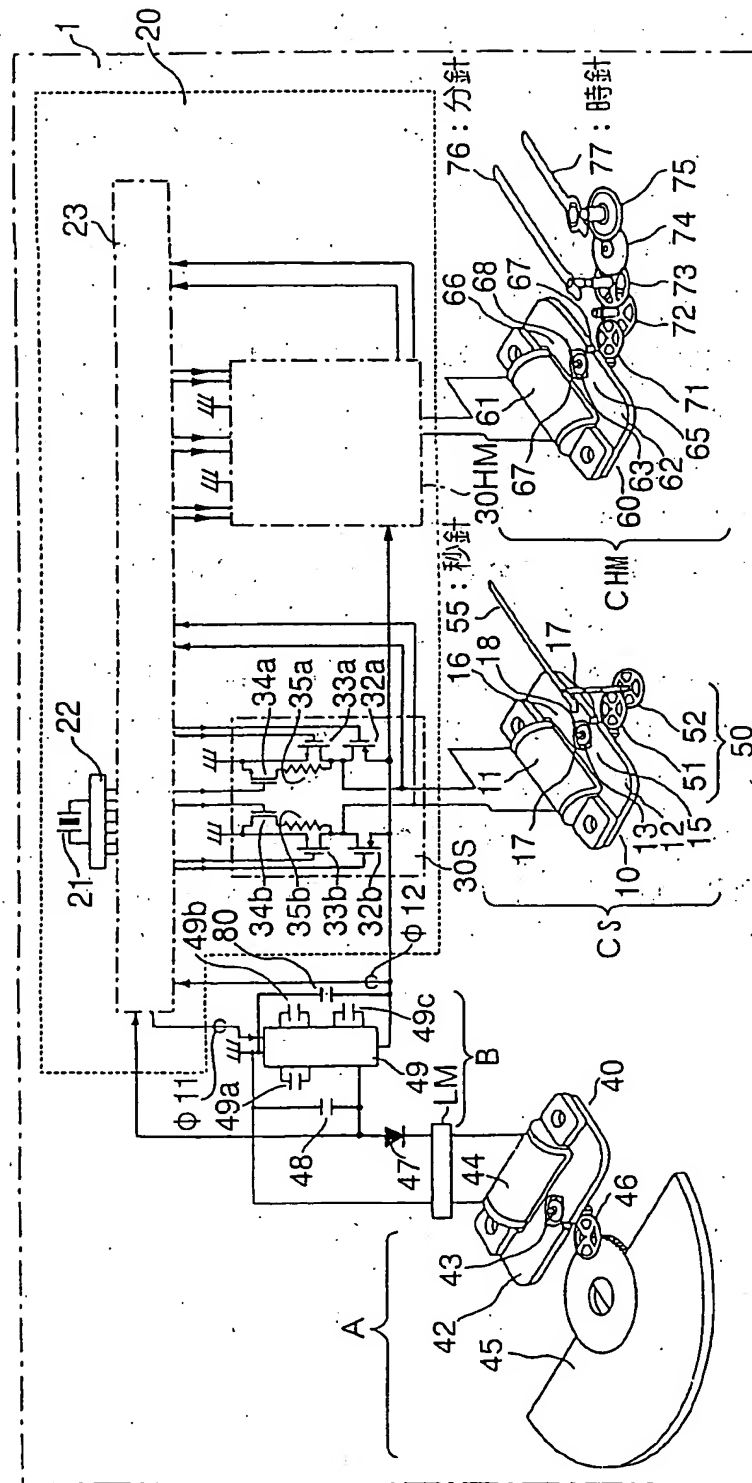
- 5 15. 請求の範囲第11項記載の電子機器の制御方法において、
前記電源電圧変換装置は、電圧変換を行うための昇降圧用コンデンサを有し、
前記転送回数制御工程は、前記昇降圧用コンデンサの容量に基づいて前記転送回数を定めることを特徴とする電子機器の制御方法。

- 10 16. 請求の範囲第11項記載の電子機器の制御方法において、
前記転送回数制御工程は、1回の前記転送サイクルにおいて、転送可能な電気エネルギー量を $Q0$ とし、前記単位時間当たりの転送回数を N とし、前記被駆動装置の前記単位時間当たりの消費電力を Q_{DRV} とした場合に、次式を満たすように前記単位時間当たりの転送回数 N を定めることを特徴とする電子機器の制御方法。

$$Q_{DRV} \leq Q0 \times N$$

- 15 17. 請求の範囲第10項記載の電子機器の制御方法において、
前記非電圧変換転送制御工程は、前記非電圧変換状態で前記第2電源装置への前記電気エネルギーの転送を行わせている状態においては、前記転送で供給可能な電気エネルギーに相当する電力を越える電力を消費する前記被駆動装置の駆動を禁止する転送時高負荷駆動禁止工程を備えたことを特徴とする電子機器の制御方法。

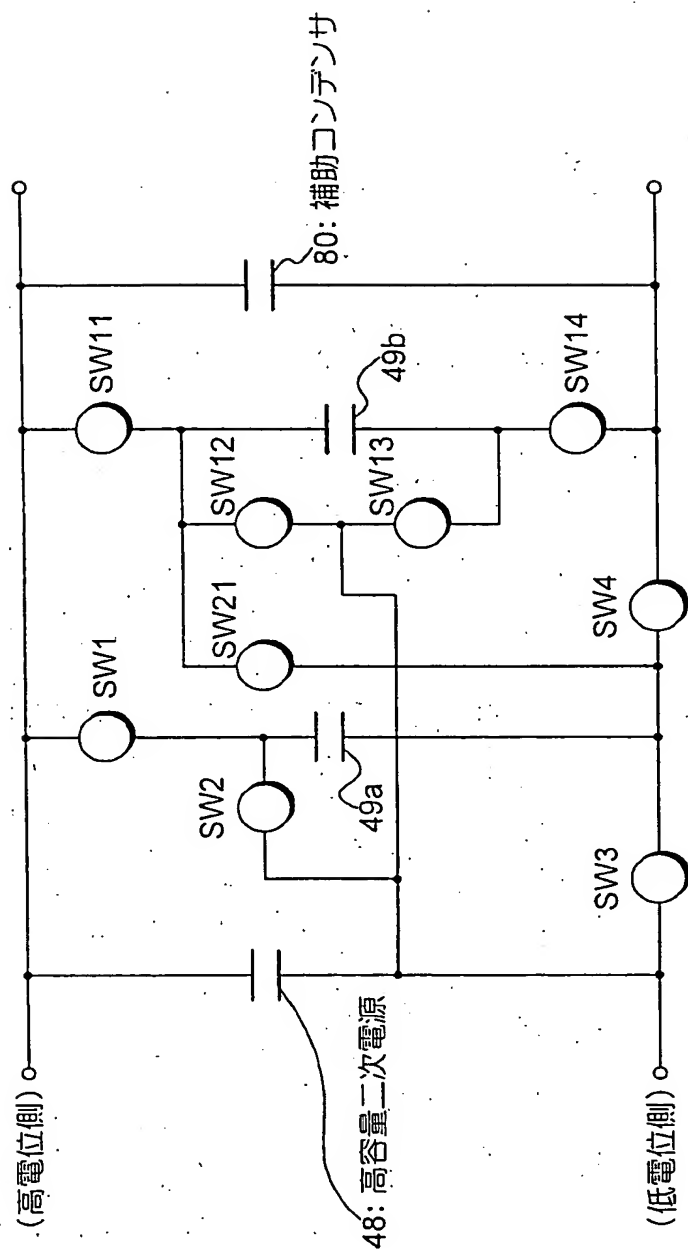
図 1



2/24

図 2

49: 昇降圧回路



3/24

図 3

(a)

昇圧倍率	接続	SW1	SW2	SW3	SW4	SW11	SW12	SW13	SW14	SW21
3倍	parallel	ON	OFF	ON	OFF	ON	OFF	ON	OFF	OFF
	serial	OFF	ON	OFF	OFF	OFF	OFF	OFF	ON	ON
2倍	parallel	ON	OFF	ON	OFF	ON	OFF	ON	OFF	OFF
	serial	OFF	ON	OFF	ON	OFF	ON	OFF	ON	OFF
1.5倍	parallel	ON	OFF	OFF	OFF	OFF	OFF	ON	OFF	ON
	serial	OFF	ON	OFF	ON	OFF	ON	OFF	ON	OFF
昇圧なし (直結)	parallel	OFF	ON	ON	ON	OFF	ON	ON	ON	OFF
	serial	OFF	ON	ON	ON	OFF	ON	ON	ON	OFF
1/2倍	parallel	ON	OFF	OFF	OFF	OFF	OFF	ON	OFF	ON
	serial	ON	OFF	OFF	ON	ON	OFF	OFF	ON	OFF

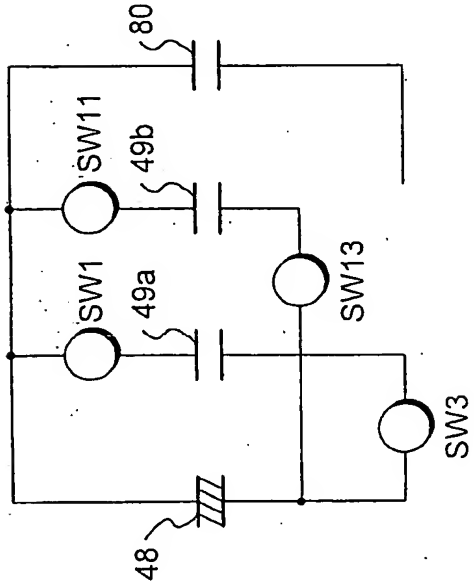
(b)

昇圧倍率	接続	SW1	SW2	SW3	SW4	SW11	SW12	SW13	SW14	SW21
昇圧なし 転送t-t	parallel	ON	OFF	ON	OFF	ON	OFF	ON	OFF	OFF
	serial	ON	OFF	OFF	ON	ON	OFF	OFF	ON	OFF

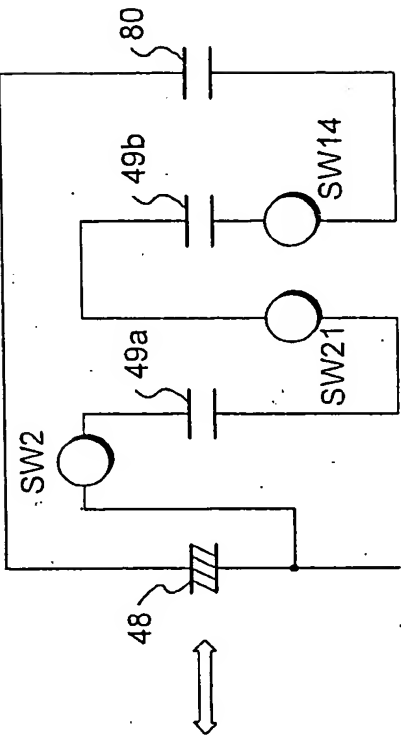
図 4

3倍昇圧時

(a) パラレル接続



(b) シリアル接続

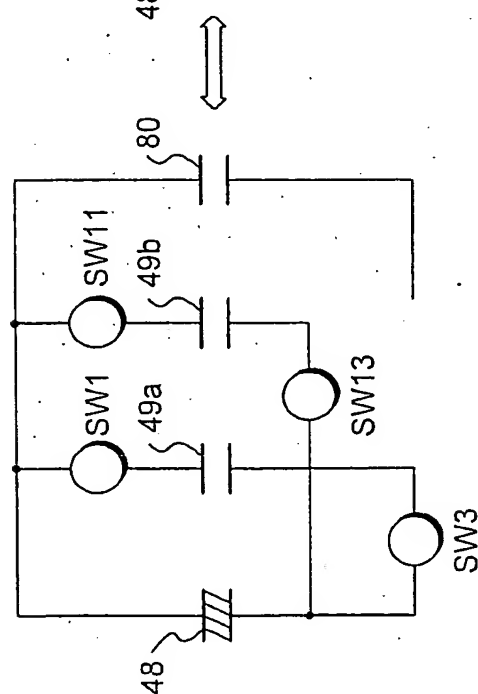


5/24

図 5

2倍昇圧時

(a) パラレル接続



(b) シリアル接続

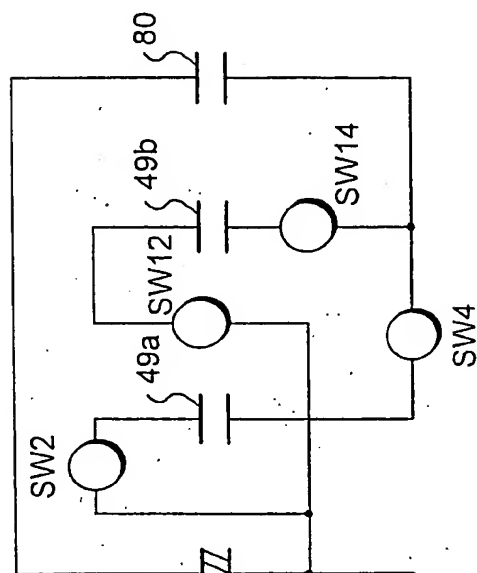
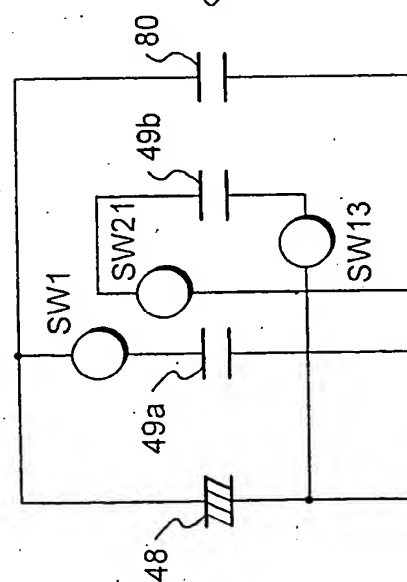


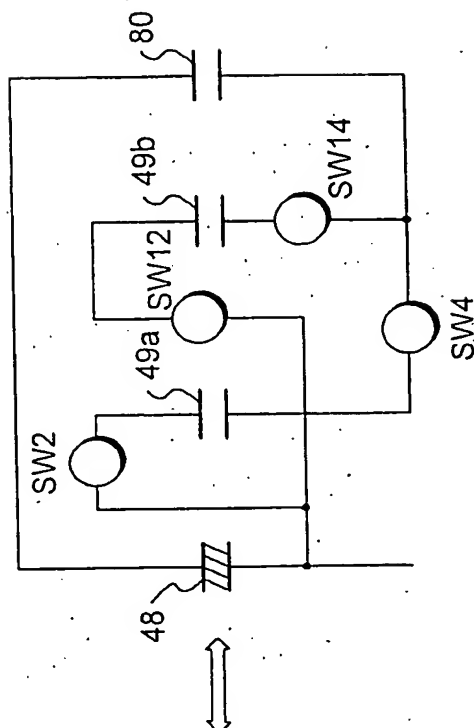
図 6

1.5倍昇圧時

(a) パラレル接続



(b) シリアル接続

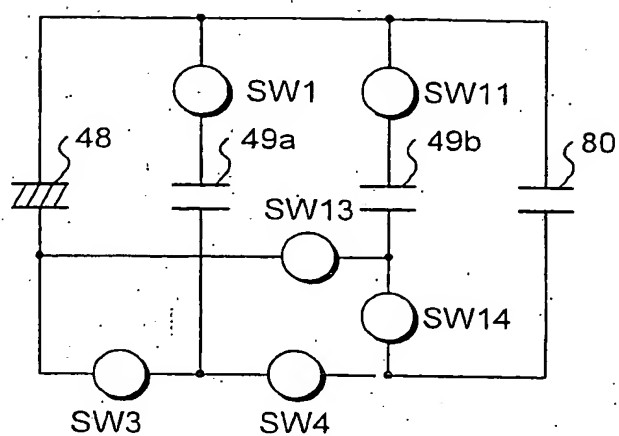


7/24

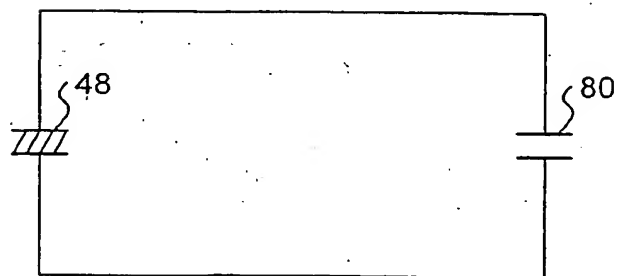
図 7

直結時（1 倍昇圧；ショート）

(a)



(b)

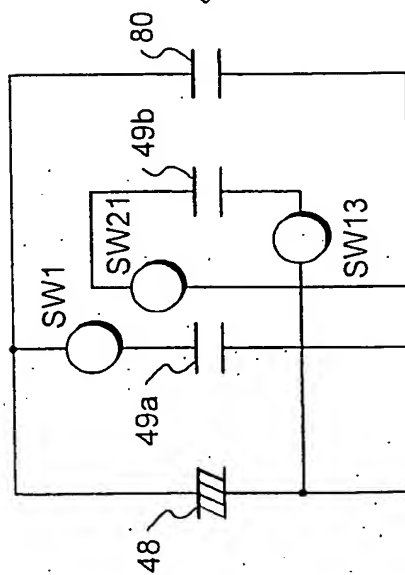


8/24

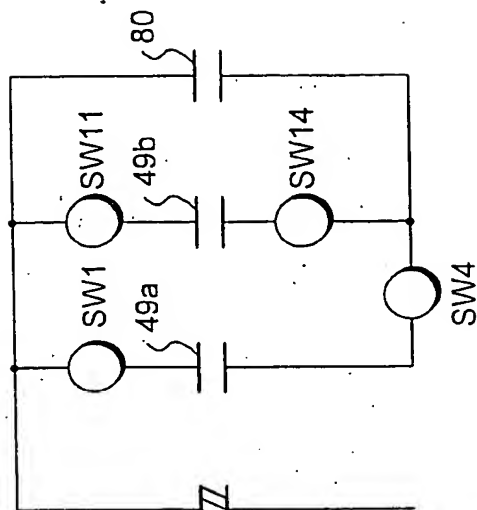
図 8

1/2 降圧時

(a) パラレル接続



(b) シリアル接続



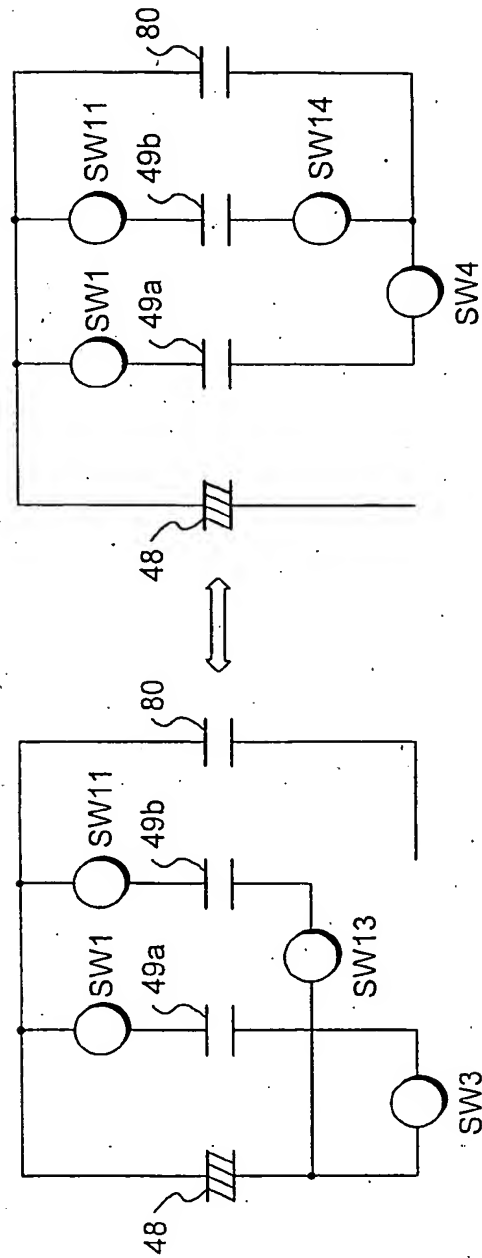
9/24

図 9

電荷転送モード時

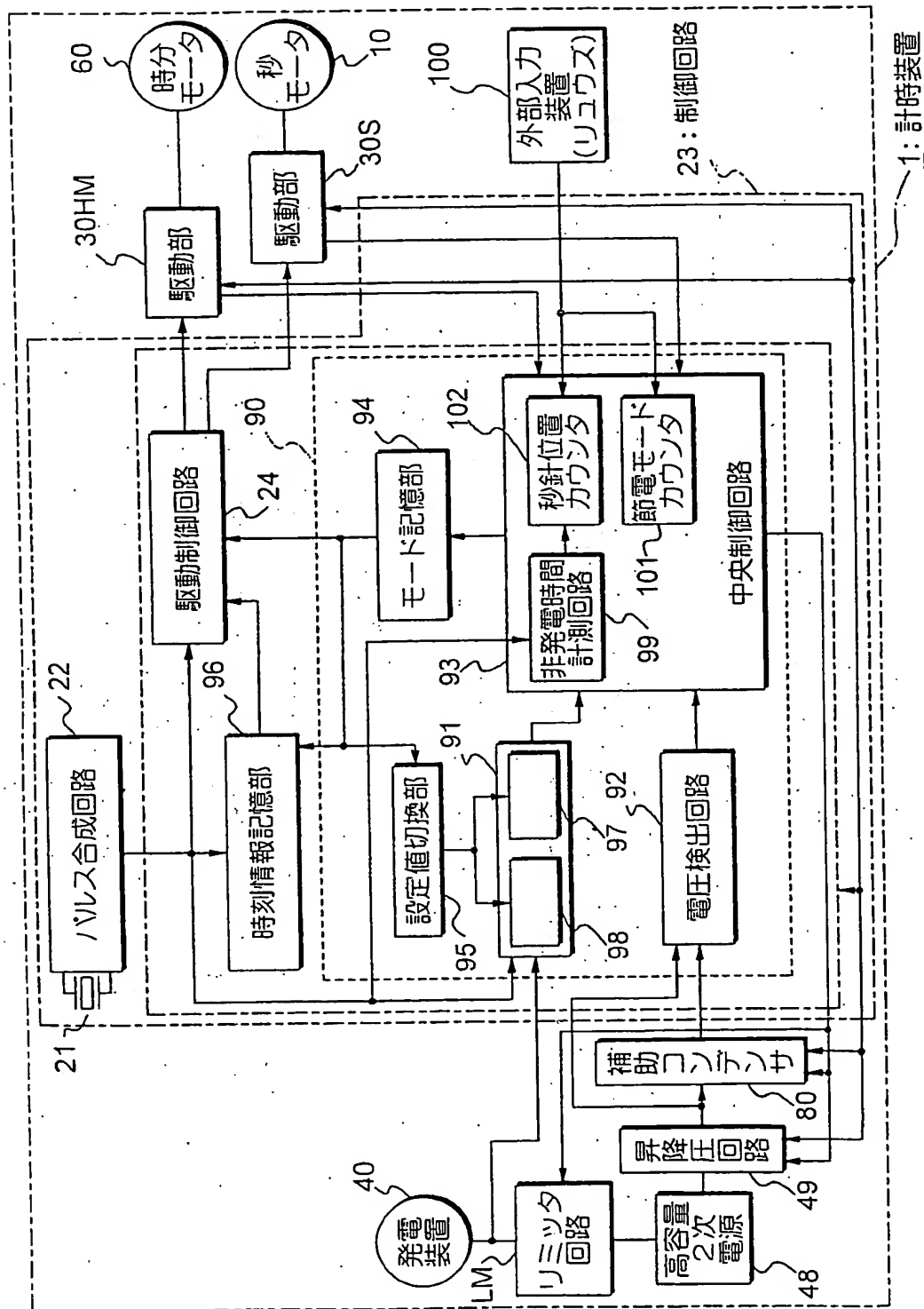
(a) パラレル接続

(b) シリアル接続

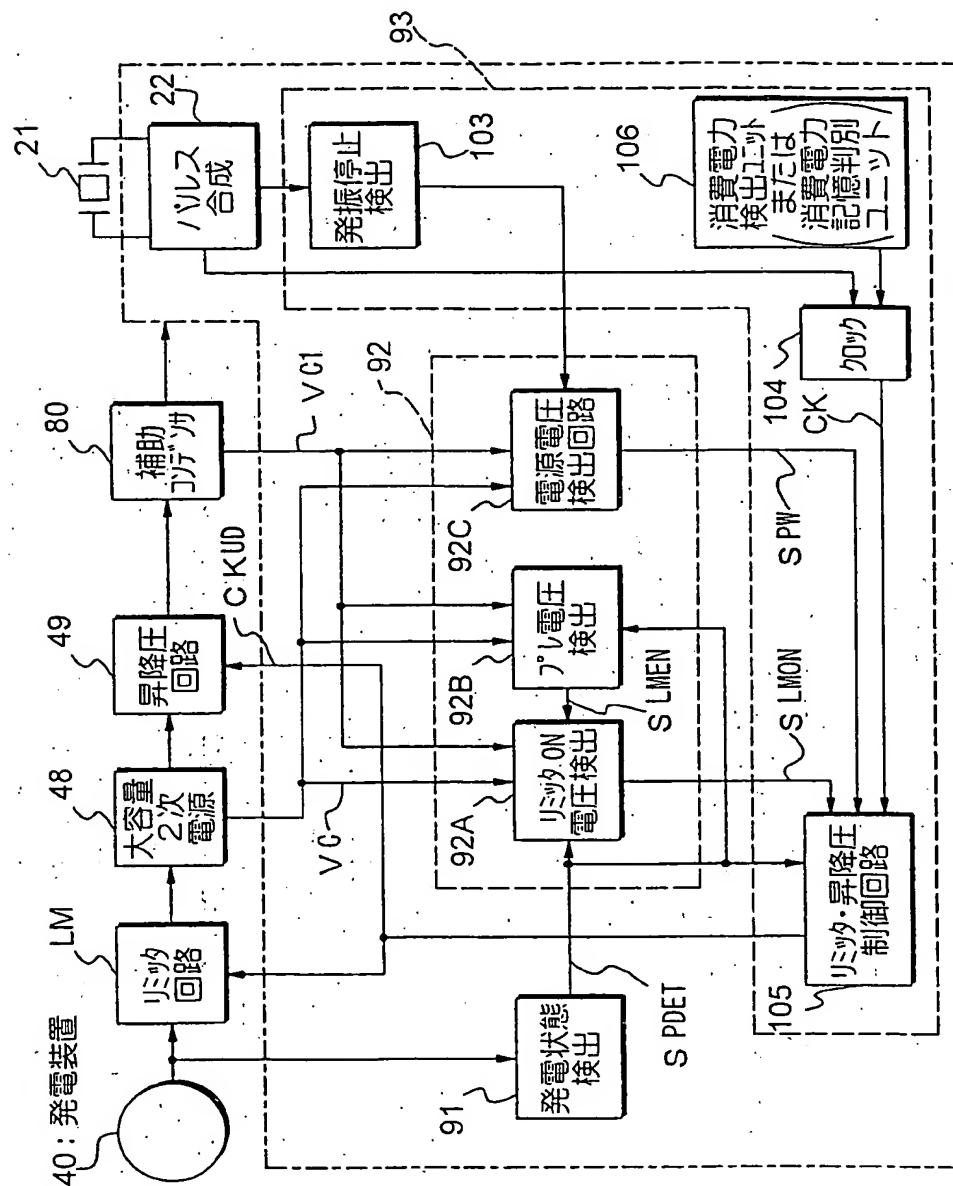


10/24

図 10



二
天



13/24

図 13

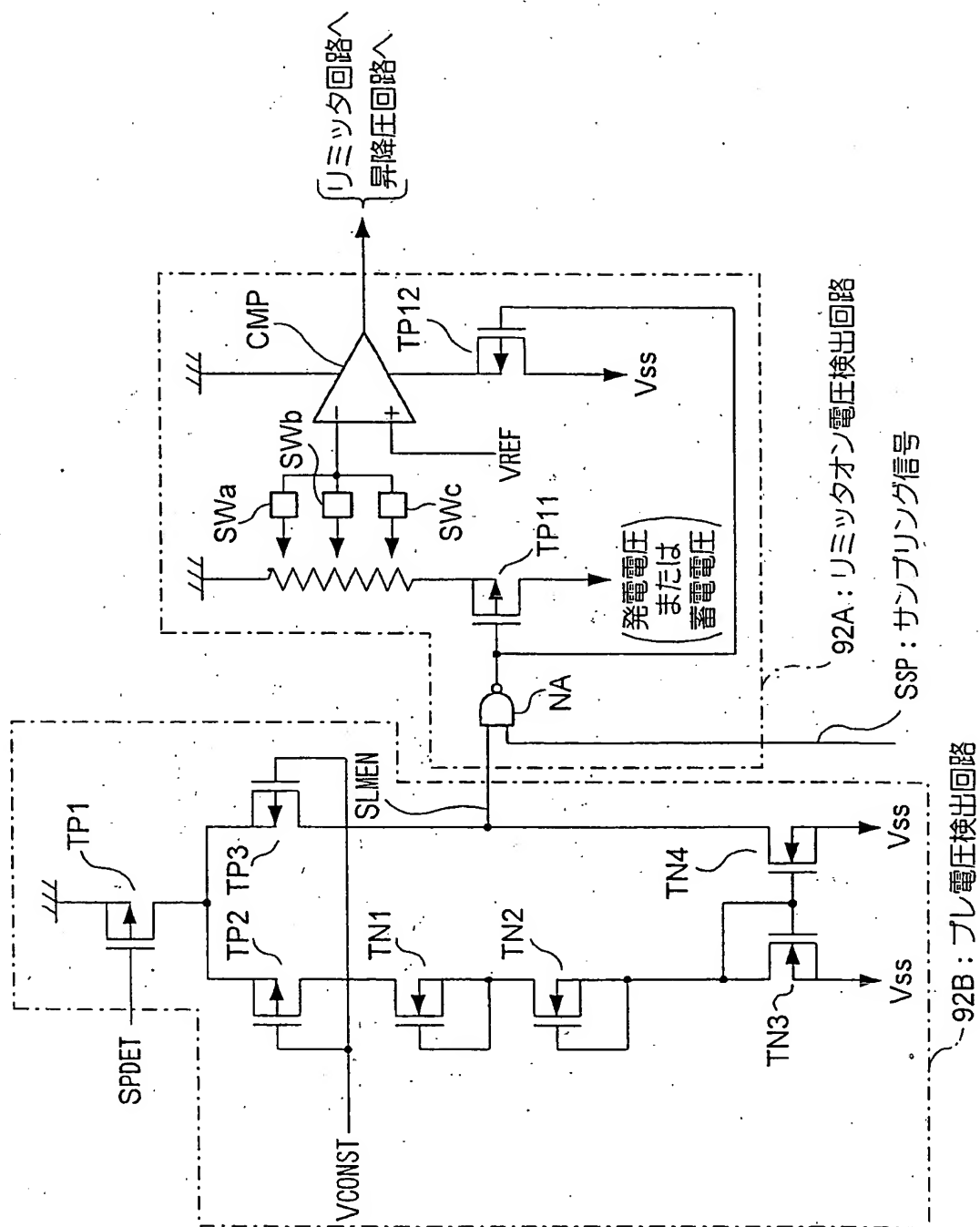
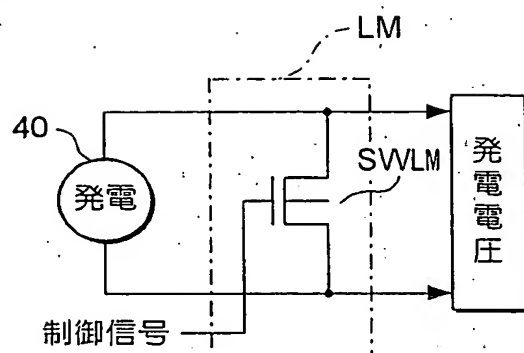
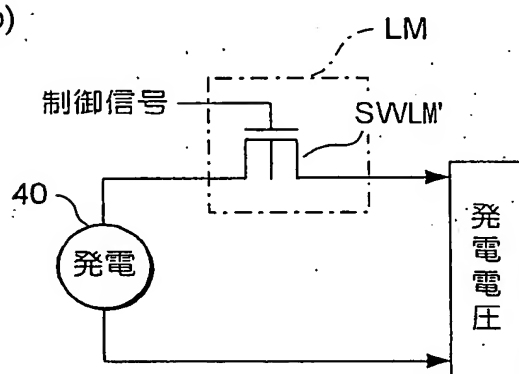


図 14

(a)



(b)



15/24

図 15

201: リミッタ昇降圧倍率制御回路

223: 昇降倍率変更禁止ユニット

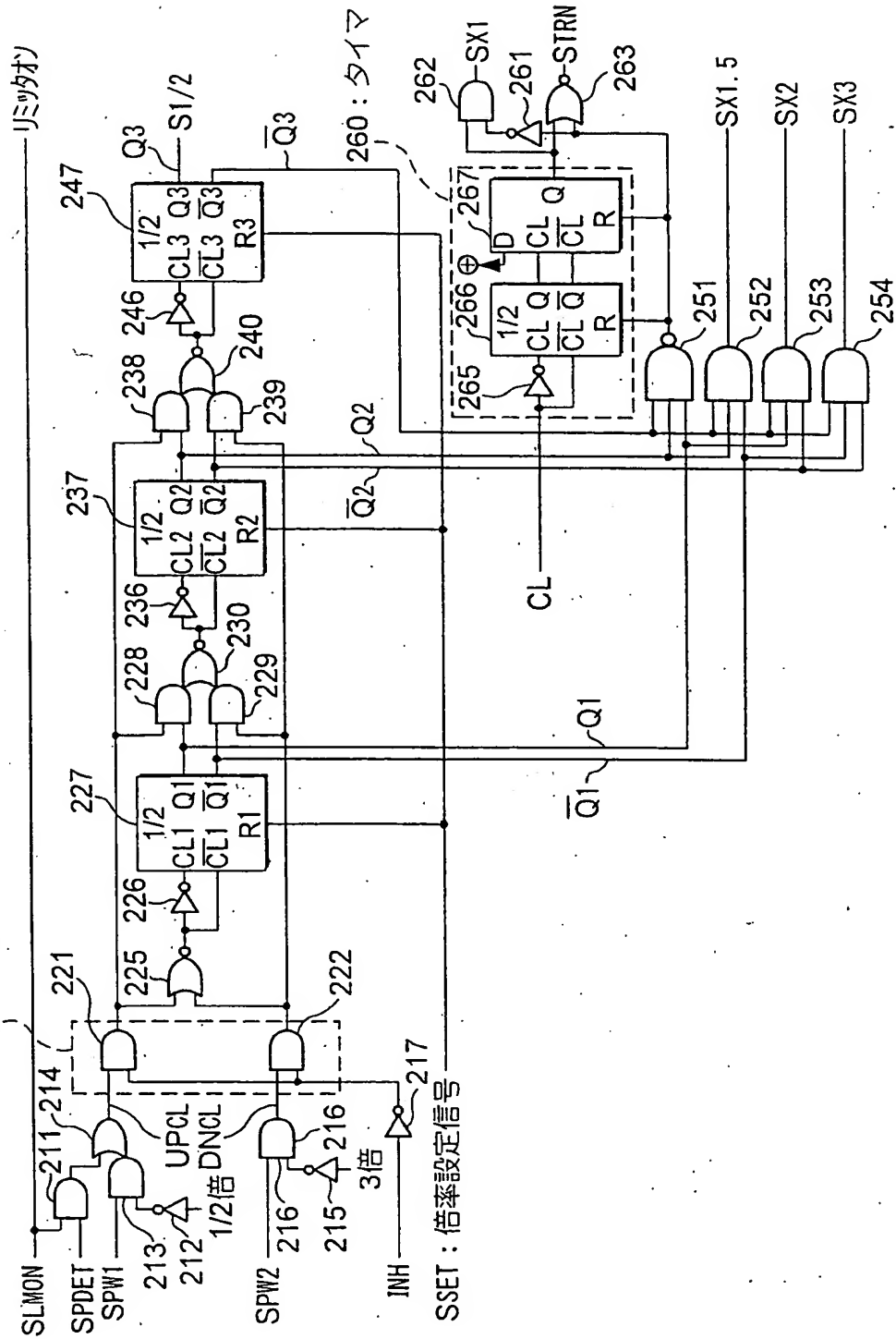


図 16

202 : 昇降圧倍率制御用クロック生成回路

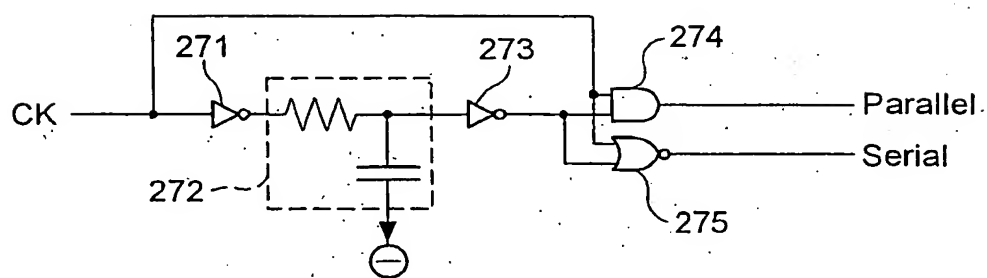
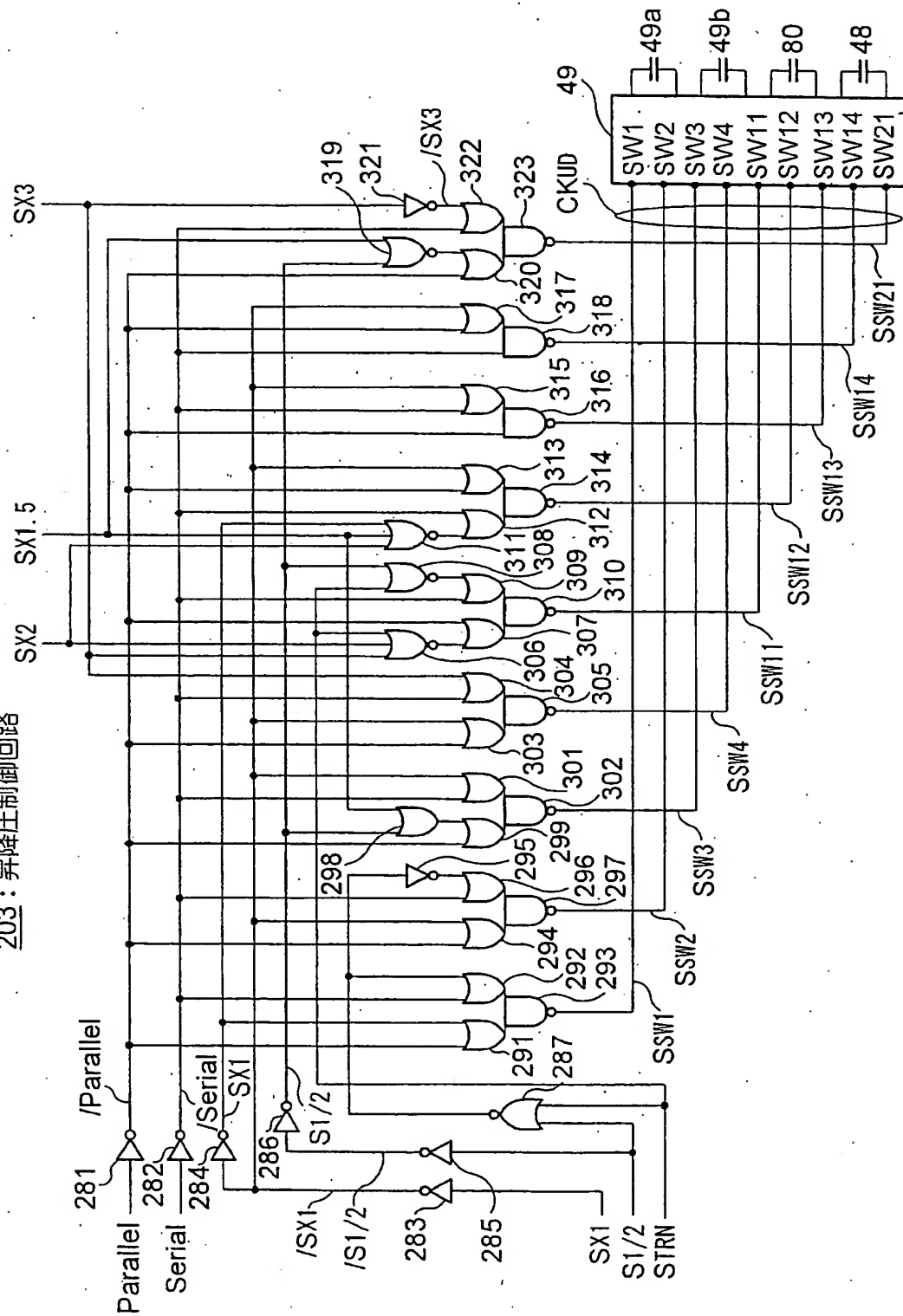


図 17

203 : 昇降圧制御回路



18/24

図 18

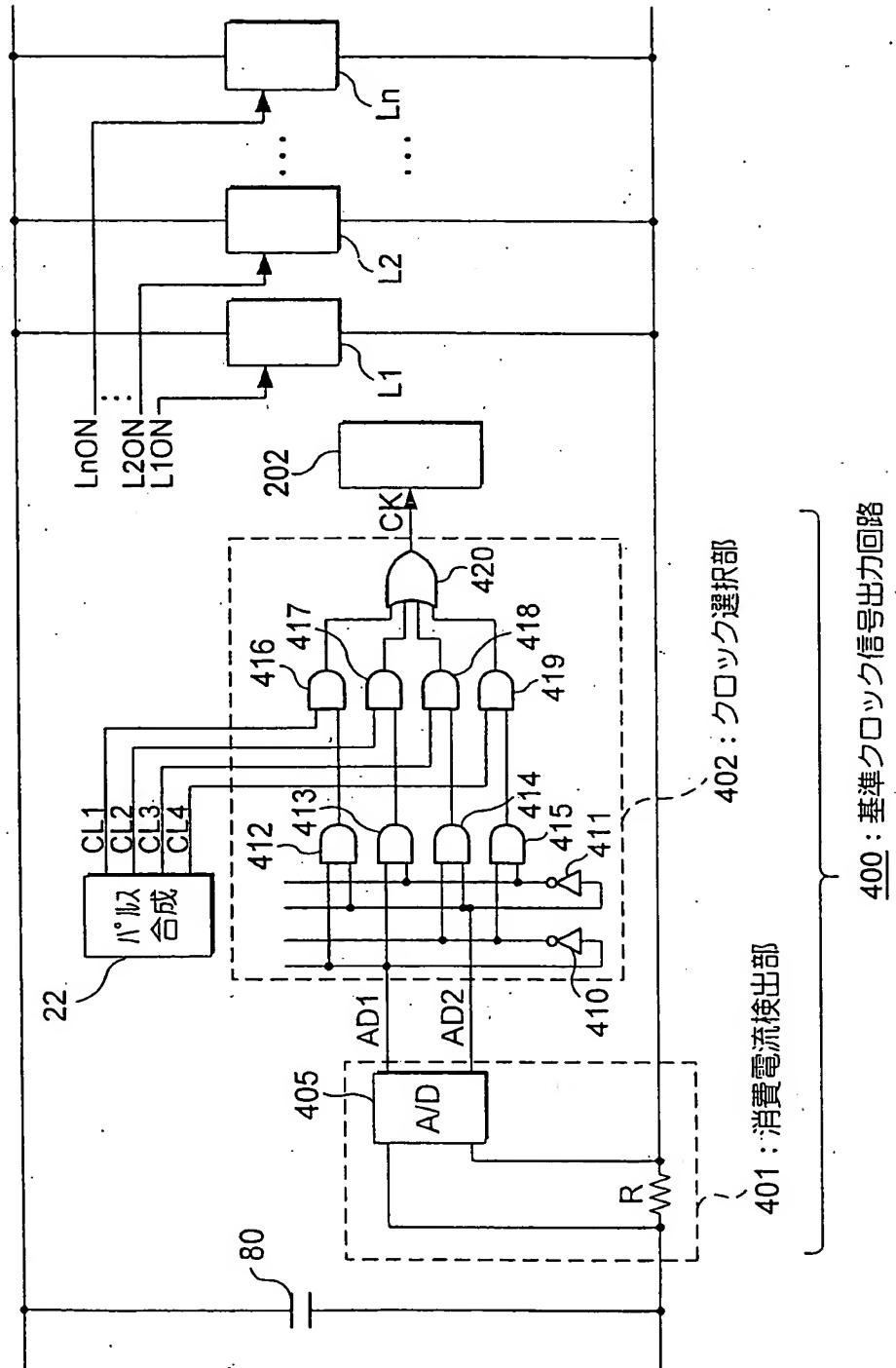
Q3	Q2	Q1	
0	0	0	3倍
0	0	1	2倍
0	1	0	1.5倍
0	1	1	昇圧なし
1	—	—	1/2倍

図 19



19/24

図 20

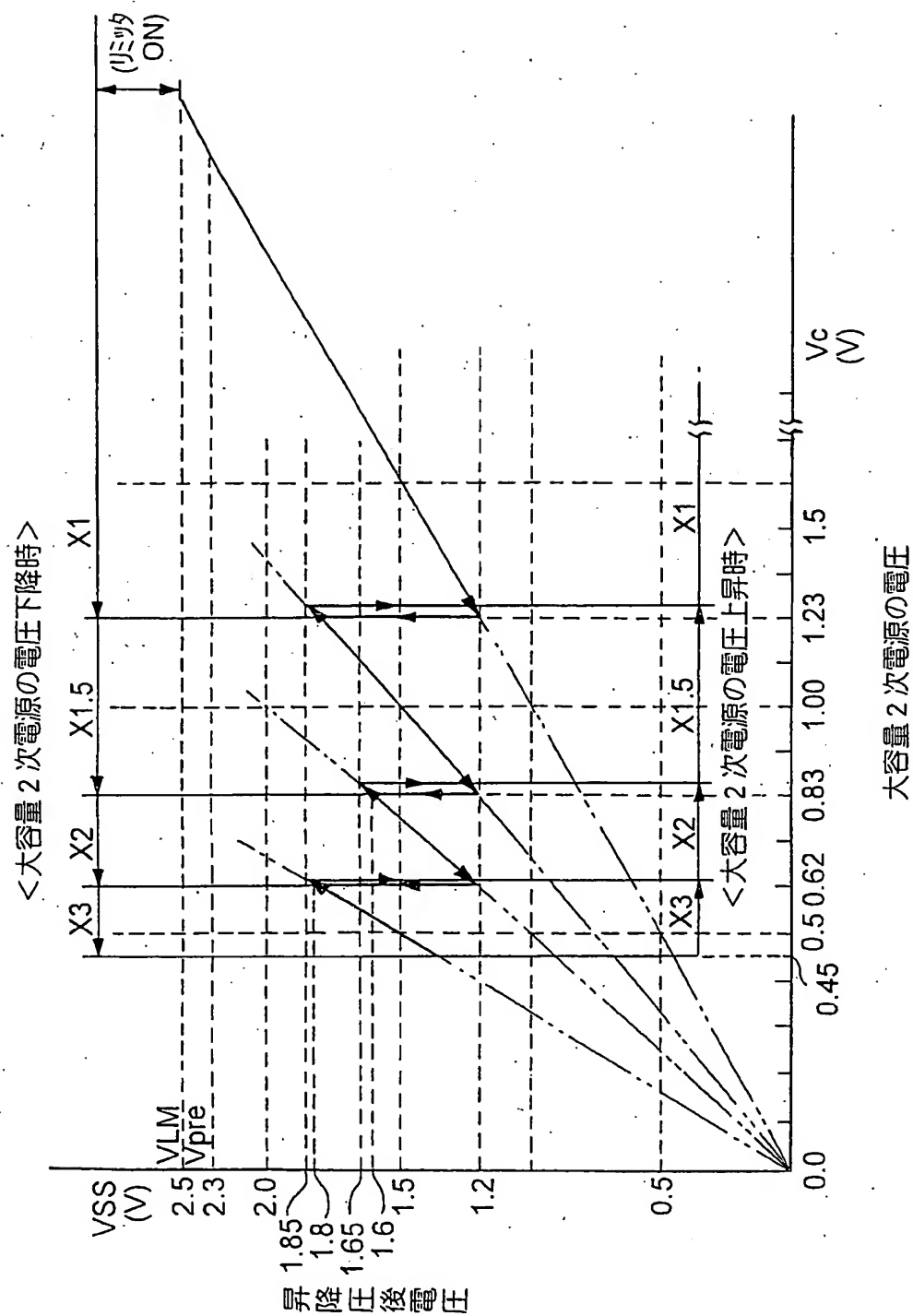


20/24

図 21

R両端電圧	消費電力	AD1	AD2	CK	周波数
小(第1段階)	小	0	0	CL4	低
↑	↑	0	1	CL3	↑
↓	↓	1	0	CL2	↓
大(第4段階)	大	1	1	CL1	高

22



22/24

図 23

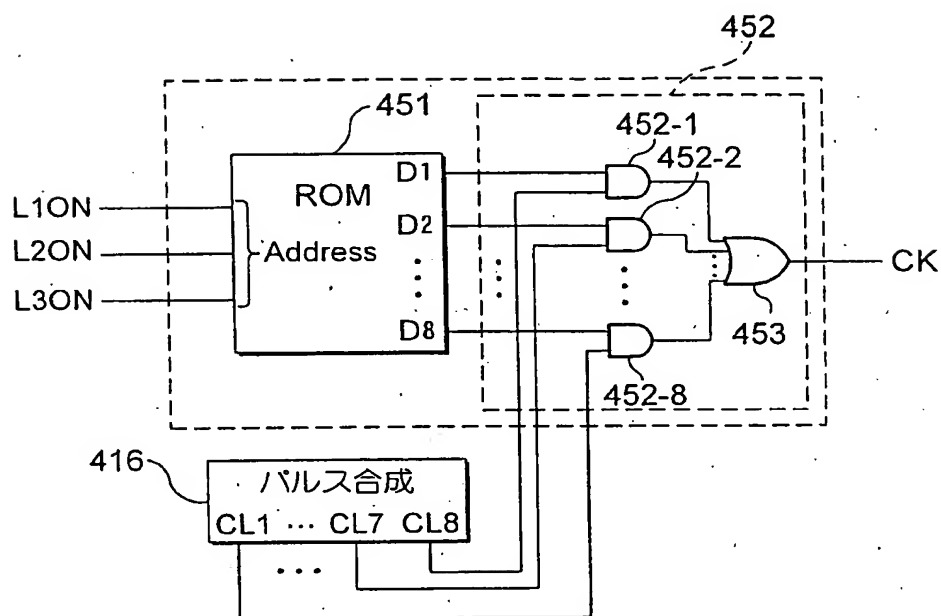
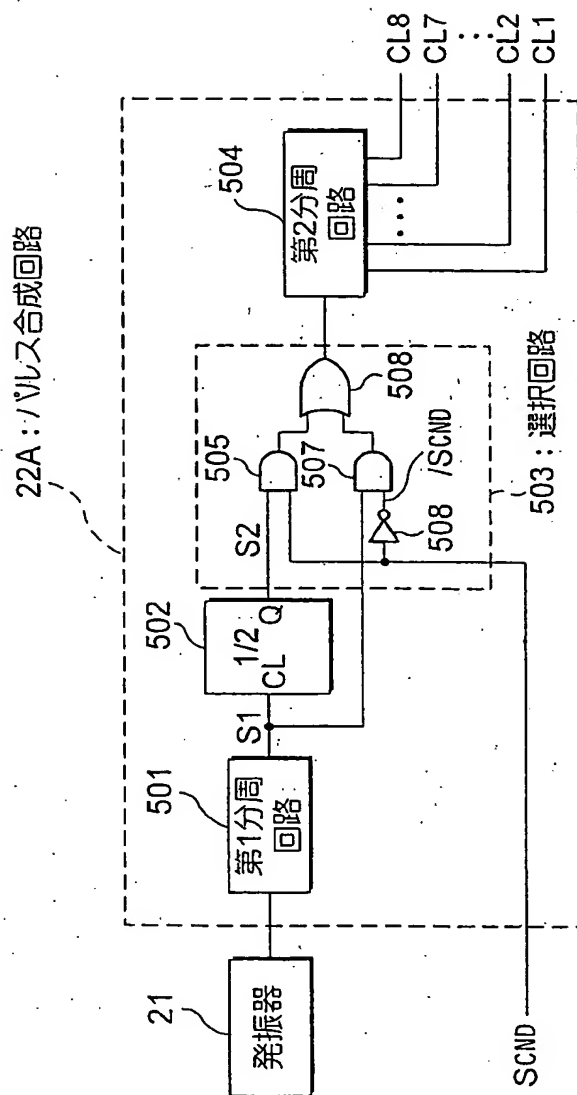


図 24

L1ON	L2ON	L3ON	D	CK	周波数
0	0	0	D1	CL8	低
0	0	1	D2	CL7	↑
0	1	0	D3	CL6	↑
	⋮		⋮	⋮	↑
	⋮		⋮	⋮	↑
	⋮		⋮	⋮	↑
	⋮		⋮	⋮	↑
1	1	1	D8	CL1	高

23/24

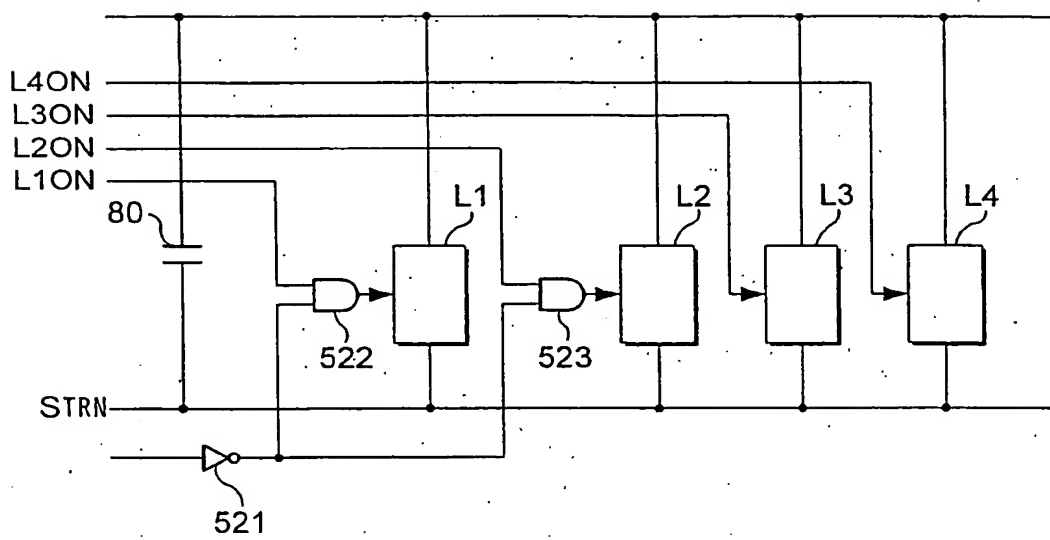
図 25



24/24

図 26

1A



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/07002

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G04C10/00, G04G1/00, H02M3/07

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G04C10/00-10/04,
G04G1/00, H03M3/00-3/44

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
ECLA, WPI

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 7-72271, A (SEIKO EPSON CORPORATION), 17 March, 1995 (17.03.95), Full text; all drawings (Family: none).	1-17
A	JP, 10-26675, A (SEIKO EPSON CORPORATION), 27 January, 1998 (27.01.98), Full text; all drawings (Family: none)	1-17
A	JP, 9-171086, A (SEIKO EPSON CORPORATION), 30 June, 1997 (30.06.97), Full text; all drawings (Family: none)	1-17

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed.

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 February, 2000 (28.02.00)Date of mailing of the international search report
07 March, 2000 (07.03.00)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/J P 99/07002

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G04C10/00, G04G1/00, H02M3/07

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G04C10/00-10/04,
G04G1/00, H03M3/00-3/44

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2000年
日本国登録実用新案公報	1994-2000年
日本国実用新案登録公報	1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

ECLA, WPI

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 7-72271, A (セイコーエプソン株式会社) 17. 3月. 1995 (17. 03. 95) 全文, 全図 (ファミリーなし)	1-17
A	J P, 10-26675, A (セイコーエプソン株式会社) 27. 1月. 1998 (27. 01. 98) 全文, 全図 (ファミリーなし)	1-17
A	J P, 9-171086, A (セイコーエプソン株式会社) 30. 6月. 1997 (30. 06. 97) 全文, 全図 (ファミリーなし)	1-17

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

28. 02. 00

国際調査報告の発送日

07.03.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

井上 昌宏

2 F

9504

電話番号 03-3581-1101 内線 3216